

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-223464

(P2000-223464A)

(43) 公開日 平成12年8月11日(2000.8.11)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/304	6 4 8	H 0 1 L 21/304	6 4 8 G 3 B 2 0 1
B 0 8 B 3/08		B 0 8 B 3/08	Z 5 F 0 0 4
	3/10		Z 5 F 0 4 3
H 0 1 L 21/3065		H 0 1 L 21/308	G
21/306		21/302	N

審査請求 有 請求項の数29 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願平11-25315

(22) 出願日 平成11年2月2日(1999.2.2)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 和氣 智子

東京都港区芝五丁目7番1号 日本電気株式会社社内

(72) 発明者 佐甲 隆

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

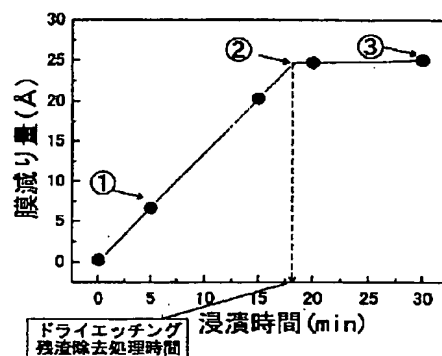
最終頁に続く

(54) 【発明の名称】 基板洗浄方法

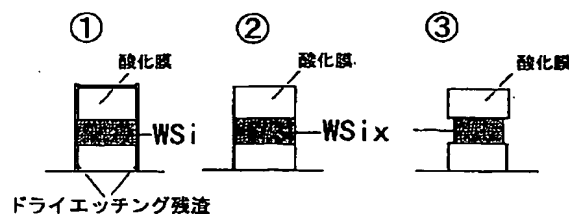
(57) 【要約】

【課題】 下地となる膜の膜減りや表面の変質を防止しつつドライエッチング残渣等の堆積物を実質的に完全に除去する基板の洗浄方法を提供すること。

【解決手段】 ドライエッチング残渣等をウェット処理により除去する際、ウェット処理時間 t を、ダミー基板を用いた予備実験の結果に基づいて決定する。ダミー基板のテストパターン領域の膜厚について、浸漬時間と膜減り量の関係をプロットする。テストパターン領域のエッチング残渣が除去された時点で膜減り量の速度が顕著に変化する。この時点をウェット処理時間 t と決定する。



(断面状態の経時変化)



【特許請求の範囲】

【請求項1】 半導体基板上の膜(a)の表面に堆積した堆積物(a)を、薬液を用いたウエット処理により除去する基板洗浄方法であって、前記ウエット処理を行う時間tを、下記ステップ(A)～(C)により決定することを特徴とする基板洗浄方法。

(A) 素子形成部およびテストパターン部を有するダミー基板を用い、該素子形成部に膜(a)と実質的に同一材料からなる膜(b)を形成した後、前記素子形成部および前記テストパターン部の表面に、堆積物(a)と実質的に同一の材料、同一の膜厚の堆積物(b)を堆積させるステップ

(B) 前記薬液と実質的に同一な薬液を用いてダミー基板のウエット処理を行い、この際、テストパターン部の膜厚の経時変化を測定するステップ

(C) 前記テストパターン部の膜厚の経時変化に基づいて前記ウエット処理を行う時間tを決定するステップ

【請求項2】 半導体基板上の膜(a)をドライエッチングすることにより膜(a)の表面に付着したエッチング残渣を、薬液を用いたウエット処理により除去する基板洗浄方法であって、前記ウエット処理を行う時間tを、下記ステップ(A)～(C)により決定することを特徴とする基板洗浄方法。

(A) 素子形成部およびテストパターン部を有するダミー基板を用い、該素子形成部に膜(a)と実質的に同一材料からなる膜(b)を形成した後、前記ドライエッチングと同一条件で膜(b)のドライエッチングを行うステップ

(B) 前記薬液と実質的に同一な薬液を用いてダミー基板のウエット処理を行い、この際、テストパターン部の膜厚の経時変化を測定するステップ

(C) 前記テストパターン部の膜厚の経時変化に基づいて前記ウエット処理を行う時間tを決定するステップ

【請求項3】 膜(a)および膜(b)をドライエッチングする際、シリコン酸化膜、シリコン窒化膜またはシリコン酸窒化膜をマスクとして用いることを特徴とする請求項2に記載の基板洗浄方法。

【請求項4】 前記テストパターン部の膜厚の経時変化に基づいて前記ウエット処理を行う時間tを決定する際、ウエット処理開始後、膜厚の減少速度が実質的に変化するまでの時間を求め、この時間を前記ウエット処理を行う時間tとすることを特徴とする請求項1乃至3いずれかに記載の基板洗浄方法。

【請求項5】 膜(a)および膜(b)は、前記ウエット処理によりエッチングされる材料を含むことを特徴とする請求項1乃至4いずれかに記載の基板洗浄方法。

【請求項6】 膜(a)および膜(b)は、前記ウエット処理によるエッチングレート異なる複数の膜を含むことを特徴とする請求項1乃至5いずれかに記載の基板洗浄方法。

【請求項7】 膜(a)および膜(b)は、高融点金属膜および多結晶シリコン膜を含む請求項1乃至6いずれかに記載の基板洗浄方法。

【請求項8】 膜(a)および膜(b)は、強誘電体膜を含むことを特徴とする請求項1乃至7いずれかに記載の基板洗浄方法。

【請求項9】 前記強誘電体膜は、ストロンチウム、チタン、バリウム、ジルコニウム、鉛、ビスマス、タンタルから選ばれる少なくとも一種を含む金属酸化物であることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】 前記強誘電体膜は、BST、PZT、PLZT、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、および Ta_2O_5 からなる群から選ばれるいずれかの膜であることを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】 前記ウエット処理を行う際、処理液としてアンモニア過酸化水素水混合液を用いることを特徴とする請求項1乃至10いずれかに記載の基板洗浄方法。

【請求項12】 前記ウエット処理を行う際、処理液として酸性液を用いることを特徴とする請求項1乃至10いずれかに記載の基板洗浄方法。

【請求項13】 前記テストパターン部は、その表面にシリコン酸化膜、シリコン窒化膜またはシリコン酸窒化膜が設けられてなることを特徴とする請求項1乃至12いずれかに記載の基板洗浄方法。

【請求項14】 半導体基板上に高融点金属膜を含むゲート電極層(a)を形成する第一の工程と、マスクを用いてゲート電極層(a)をドライエッチングすることによりパターンニングする第二の工程と、該ドライエッチングによりゲート電極層(a)の表面に付着したエッチング残渣を、薬液を用いたウエット処理により除去する第三の工程と、ゲート電極層(a)の上に層間絶縁膜を形成する第四の工程とを含む半導体装置の製造方法であって、前記ウエット処理を行う時間tを、下記ステップ(A)～(C)により決定することを特徴とする半導体装置の製造方法。

(A) 素子形成部およびテストパターン部を有するダミー基板を用い、該素子形成部にゲート電極層(a)と実質的に同一なゲート電極層(b)を形成した後、第二の工程と同一条件でゲート電極層(b)をドライエッチングするステップ

(B) 前記薬液と実質的に同一な薬液を用いて前記ダミー基板をウエット処理し、この際、テストパターン部の膜厚の経時変化を測定するステップ

(C) 前記テストパターン部の膜厚の経時変化に基づいて前記ウエット処理を行う時間tを決定するステップ

【請求項15】 半導体基板上に高融点金属膜を含むゲート電極層(a)を形成する第一の工程と、マスクを用いてゲート電極層(a)をドライエッチングすることに

より第一のゲート電極および第二のゲート電極を形成する第二の工程と、該ドライエッチングにより第一のゲート電極および第二のゲート電極の表面に付着したエッチング残渣を、薬液を用いたウェット処理により除去する第三の工程と、第一のゲート電極および第二のゲート電極の上に層間絶縁膜を形成する第四の工程とを含む半導体装置の製造方法であって、前記ウェット処理を行う時間 t を、下記ステップ(A)～(C)により決定することを特徴とする半導体装置の製造方法。

(A) 素子形成部およびテストパターン部を有するダミー基板を用い、該素子形成部にゲート電極層(a)と実質的に同一なゲート電極層(b)を形成した後、第二の工程と同一条件でゲート電極層(b)をドライエッチングするステップ

(B) 前記薬液と実質的に同一な薬液を用いて前記ダミー基板をウェット処理し、この際、テストパターン部の膜厚の経時変化を測定するステップ

(C) 前記テストパターン部の膜厚の経時変化に基づいて前記ウェット処理を行う時間 t を決定するステップ

【請求項16】 半導体基板上に高融点金属膜を含むゲート電極層(a)を形成する第一の工程と、マスクを用いてゲート電極層(a)をドライエッチングすることにより第一のゲート電極および第二のゲート電極を形成する第二の工程と、該ドライエッチングにより第一のゲート電極および第二のゲート電極の表面に付着したエッチング残渣を、薬液を用いたウェット処理により除去する第三の工程と、第一のゲート電極および第二のゲート電極に跨るように導電膜を形成する第四の工程とを含む半導体装置の製造方法であって、前記ウェット処理を行う時間 t を、下記ステップ(A)～(C)により決定することを特徴とする半導体装置の製造方法。

(A) 素子形成部およびテストパターン部を有するダミー基板を用い、該素子形成部にゲート電極層(a)と実質的に同一なゲート電極層(b)を形成した後、第二の工程と同一条件でゲート電極層(b)をドライエッチングするステップ

(B) 前記薬液と実質的に同一な薬液を用いて前記ダミー基板をウェット処理し、この際、テストパターン部の膜厚の経時変化を測定するステップ

(C) 前記テストパターン部の膜厚の経時変化に基づいて前記ウェット処理を行う時間 t を決定するステップ

【請求項17】 前記ゲート電極層(a)および前記ゲート電極層(b)は、前記ウェット処理によりエッチングされる材料を含むことを特徴とする請求項14乃至16いずれかに記載の半導体装置の製造方法。

【請求項18】 前記ゲート電極層(a)および前記ゲート電極層(b)は、前記ウェット処理によるエッチングレート異なる複数の膜を含んでなることを特徴とする請求項14乃至17いずれかに記載の半導体装置の製造方法。

【請求項19】 前記ゲート電極層(a)および前記ゲート電極層(b)は、高融点金属膜および多結晶シリコン膜を含むことを特徴とする請求項14乃至18いずれかに記載の半導体装置の製造方法。

【請求項20】 半導体基板上に層間絶縁膜(a)を形成する第一の工程と、マスクを用いて層間絶縁膜(a)の所定箇所をドライエッチングし、接続孔を形成する第二の工程と、該ドライエッチングにより該接続孔の表面に付着したエッチング残渣を、薬液を用いたウェット処理により除去する第三の工程と、該接続孔を導電膜により埋め込む第四の工程とを含み、前記層間絶縁膜(a)は、前記ウェット処理によるエッチングレートの異なる複数の膜を含む半導体装置の製造方法であって、前記ウェット処理を行う時間 t を、下記ステップ(A)～(C)により決定することを特徴とする半導体装置の製造方法。

(A) 素子形成部およびテストパターン部を有するダミー基板を用い、該素子形成部に層間絶縁膜(a)と実質的に同一な層間絶縁膜(b)を形成した後、第二の工程と同一条件で層間絶縁膜(b)の所定箇所をドライエッチングし、接続孔を形成するステップ

(B) 前記薬液と実質的に同一な薬液を用いて前記ダミー基板をウェット処理し、この際、テストパターン部の膜厚の経時変化を測定するステップ

(C) 前記テストパターン部の膜厚の経時変化に基づいて前記ウェット処理を行う時間 t を決定するステップ

【請求項21】 半導体基板上に強誘電体膜(a)を形成する第一の工程と、マスクを用いて強誘電体膜(a)をドライエッチングする第二の工程と、強誘電体膜

(a)の表面に付着したエッチング残渣を、薬液を用いたウェット処理により除去する第三の工程とを含む半導体装置の製造方法であって、前記ウェット処理を行う時間 t を、下記ステップ(A)～(C)により決定することを特徴とする半導体装置の製造方法。

(A) 素子形成部およびテストパターン部を有するダミー基板を用い、該素子形成部に強誘電体膜(a)と実質的に同一な強誘電体膜(b)を形成した後、第二の工程と同一条件で強誘電体膜(b)をドライエッチングするステップ

(B) 前記薬液と実質的に同一な薬液を用いて前記ダミー基板をウェット処理し、この際、テストパターン部の膜厚の経時変化を測定するステップ

(C) 前記テストパターン部の膜厚の経時変化に基づいて前記ウェット処理を行う時間 t を決定するステップ

【請求項22】 強誘電体膜(a)および強誘電体膜(b)は、ストロンチウム、チタン、バリウム、ジルコニウム、鉛、ビスマス、タンタルから選ばれる少なくとも一種を含む金属酸化物であることを特徴とする請求項21に記載の半導体装置の製造方法。

【請求項23】 強誘電体膜(a)および強誘電体膜

(b)は、BST、PZT、PLZT、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、および Ta_2O_5 からなる群から選ばれるいずれかの膜であることを特徴とする請求項22に記載の半導体装置の製造方法。

【請求項24】 前記ドライエッチングを行う際、シリコン酸化膜、シリコン窒化膜またはシリコン酸窒化膜をマスクとして用いることを特徴とする請求項14乃至23いずれかに記載の半導体装置の製造方法。

【請求項25】 前記テストパターン部の膜厚の経時変化に基づいて前記ウェット処理を行う時間 t を決定する際、ウェット処理開始後、膜厚の減少速度が実質的に変化するまでの時間を求め、この時間を前記ウェット処理を行う時間 t とすることを特徴とする請求項14乃至24いずれかに記載の基板洗浄方法。

【請求項26】 前記ウェット処理を行う際、処理液としてアンモニア-過酸化水素水混合液を用いることを特徴とする請求項14乃至25いずれかに記載の半導体装置の製造方法。

【請求項27】 前記ウェット処理を行う際、処理液として酸性液を用いることを特徴とする請求項14乃至25いずれかに記載の半導体装置の製造方法。

【請求項28】 前記テストパターン部は、その表面にシリコン酸化膜、シリコン窒化膜またはシリコン酸窒化膜が設けられてなることを特徴とする請求項14乃至27いずれかに記載の半導体装置の製造方法。

【請求項29】 半導体基板を洗浄液に浸漬して半導体基板上に堆積した堆積物を除去する基板洗浄方法であって、前記堆積物を少なくとも含む膜厚の前記洗浄液への浸漬時間に対する経時変化を測定することによって洗浄時間を決定するようにしたことを特徴とする基板洗浄方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板の洗浄方法及びこの洗浄方法を利用した半導体装置の製造方法に関するものであり、より詳しくは、半導体基板上に堆積したエッチング残渣等を、下地膜を損傷させることなく除去する洗浄方法及びこの洗浄方法を利用した半導体装置の製造方法に関するものである。

【0002】

【従来の技術】半導体素子を作製する際、半導体層や金属層をドライエッチングによりエッチングする手法は様々な工程で広く用いられている。ドライエッチングを行うと、一般に、エッチングガスと被エッチング対象との化学反応により生成したエッチング残渣が生じる。このエッチング残渣を残したまま次の工程に移ると、素子に不具合が生じたり素子特性に悪影響を及ぼす。また、半導体製造装置のクロス汚染を引き起こす原因となる。このため、ウェット処理によりエッチング残渣を十分に除去する必要がある。

【0003】ところが、エッチング残渣を十分に除去できる条件でウェット処理を行うと、半導体膜や酸化膜等の下地膜がエッチングされたり下地膜の表面が変質する等の問題を引き起こす。さらに、半導体装置の微細化に伴い、従来のフォトレジストをマスクにしてエッチングすると、エッチングによって生じたガスによってフォトレジストパターン内部が削られてしまい、所望の形状にエッチングできないという問題も生じている。これは、フォトレジストが厚くて、開口部の狭い箇所では、エッチングによって生じたガスが開口部内に閉じこめられるためである。このような問題を避けるため、薄い酸化膜などを形成し、これをフォトレジストをマスクとしてパターンニングした後、フォトレジストを除去し、パターンニングされた酸化膜（以下、「ハードマスク」という）をマスクとしてエッチングすることが知られている。

【0004】以下、図16～20を参照して第一の従来技術について説明する。この従来技術は、高融点金属層を含むゲート電極層をドライエッチングすることにより第一および第二のゲート電極を形成し、これらのゲート電極の上に跨るように導電膜を形成し、さらにその上にビット線を設ける工程を含む半導体装置の製造方法の例を示すものである。

【0005】まず図16(a)に示すように、p-形シリコン単結晶からなる半導体基板1の表面にp型ウエル領域6、酸化シリコン膜2を形成した後、多結晶シリコン膜3、WSi膜4、およびシリコン酸化膜5をそれぞれCVD法により成膜する。次いでフォトレジスト25をパターンニングし（図16(b)）、このフォトレジストをマスクとしてシリコン酸化膜5をエッチングする。

【0006】フォトレジスト25を硫酸-過酸化水素水の混合液（以下、「SPM」という）で剥離した後、（図16(c)）、パターンニングされたシリコン酸化膜5をマスクにして、WSi膜4および多結晶シリコン膜3をドライエッチングし、ワード線を兼ねるゲート電極10を形成する。このように、ゲート電極のパターンニングに際し、厚いフォトレジストでなく薄いシリコン酸化膜からなるハードマスクを用いることにより、微細化したパターンを精密に形成することができる。エッチング終了後、被エッチング対象物とエッチングガスとの反応生成物等からなるエッチング残渣7が各ゲート電極の側面およびシリコン酸化膜5上に付着する（図17）。

【0007】このエッチング残渣7を除去するため、アンモニア-過酸化水素水の混合液（以下、「APM」という）を用いてウェット処理（洗浄）する。この際、エッチング残渣7を完全に除去するため、処理時間を長めにとる必要があるが、このとき、図18(a)に示すようにWSi膜の側面の溶解が進み、膜減り部が発生する。これは、APMに対するエッチングレートが、多結晶シリコン膜3やシリコン酸化膜5に比べ、WSi膜4が特に高いことによるものである。このような膜減り部

が生じた箇所に層間絶縁膜14を形成すると、層間絶縁膜14中にボイドが生じることがある。このボイドはワード線を兼ねるゲート電極10に平行して形成される

(図18(b)、(c))。その後、コンタクトホールを形成して多結晶シリコン3を埋め込むと、この多結晶シリコン3がボイド中に入り込んで隣接コンタクト間をショートさせる(図18(c))。

【0008】また、多結晶シリコン3を全面に形成し、コンタクト部分だけ多結晶シリコン3を残すようにパターニングした後、層間絶縁膜14を形成する製造方法もある(図18(d)、(e))。このような製造方法では、膜減り部が生じたサイドウォール8中の凹部にも多結晶シリコン3が埋め込まれる。その後、コンタクト以外の領域の多結晶シリコン3を異方性エッチングにより除去しても、凹部の多結晶シリコン3を完全に除去することができない。この残存した多結晶シリコン3が隣接コンタクト間をショートさせるという問題が生じる(図18(e))。

【0009】このような問題を回避するため、APMによるウエット処理時間を短くすると、エッチング残渣7が残存し、別の問題を生じる。図19(a)は、ウエット処理後、エッチング残渣7が残存した状態を示す図である。この状態でサイドウォール8を形成すると、ゲート電極層とサイドウォール8との間にエッチング残渣7が介在することとなる(図19(b))。このため、サイドウォール形成のためのドライエッチングを行った後のウエット処理で、上記の箇所に介在したエッチング残渣7も同時に除去され、スリットが発生する(図19(c))。したがって、リンドープ多結晶シリコン3を全面に成膜してパターニングする場合(図19

(d))、このスリット部にもリンドープ多結晶シリコン3が埋め込まれる。その後、層間絶縁膜14を形成し、全面を平坦化することにより、図20(a)に示すような構造となる。このような構造になると、隣接する2つのゲート電極、および、その後の工程で形成されるビット線15とゲート電極(ワード線)10またはゲート電極(ワード線)10同士が短絡することとなり(図20(b))、素子が正常に動作しなくなる。

【0010】以上述べた問題を解消するため、ウエット処理時間を精密に決定する必要がある。すなわち図17におけるエッチング残渣7を除去するのに必要な時間を正確に把握する必要がある。このためには、図17のエッチング残渣7をウエット処理しながら、エッチング残渣7の堆積物の膜厚を、経時的に測定する方法も考えられる。しかしながら、この方法を図17のゲート電極10やその周辺に堆積したエッチング残渣7の堆積膜厚を直接測定することに対して適用することは困難である。たとえば、膜厚の測定方法として広く利用されているUV光の反射率の測定による膜厚測定を図17のエッチング残渣7の堆積膜厚の測定に適用した場合、ゲート電極

10の周辺の表面凹凸により、精度の良い測定を行うことが困難となる。UV反射率測定以外の方法として、ダミー基板をウエット処理してエッチング残渣の除去程度をSEMにより経時的に外観観察し、除去に必要な時間を測定する方法も考えられる。しかしこの方法では、手間がかかる上、エッチング残渣の除去が完了する時点を正確に判定することが困難であるという問題がある。特に、上述したハードマスクを用いた場合、下地膜とエッチング残渣とが同一材質であるため、境界が不明確となったり、分析可能な特定の金属も存在しないので、SEMによる外観判定はきわめて困難となる。

【0011】次に図21~23を参照して第二の従来技術について説明する。この従来技術は、APMウエット処理に対するエッチングレートの異なる複数の膜からなる層間絶縁膜を備えた半導体装置の製造方法の例である。

【0012】まず図21(a)に示すように、シリコン半導体基板上にワード線を兼ねるゲート電極10を形成する。ゲート電極10は、多結晶シリコン膜3、WSi膜4、およびシリコン酸化膜5からなっている。

【0013】次に図21(b)に示すように、CVD法により、リンドープの酸化シリコン膜17、BPSG(Boro Phospho Silicate Glass)膜18、BSG(Boro Silicate Glass)膜19およびBPSG膜20を成膜する。次いでエッチバック又は化学的機械的研磨(Chemical Mechanical Polishing;CMP)により表面の平坦化を行う(図21(c))。

【0014】次にフォトリジスト25をマスクにして、酸化シリコン膜17、BPSG膜18、BSG膜19およびBPSG膜20からなる層間絶縁膜をエッチングする。エッチングガスとしては、たとえば C_4H_8 、Arおよび O_2 を用いる。このとき、被エッチング対象物とエッチングガスとの反応生成物等からなるエッチング残渣24がホールの内壁等に付着する(図22(a))。

【0015】このエッチング残渣7を除去するため、APMを用いてウエット処理(洗浄)する。ここで、層間絶縁膜は複数のシリコン酸化膜が積層した構造となっており、各膜はAPMに対して異なるエッチングレートを有している。エッチング残渣24を完全に除去するためにはウエット処理時間をある程度長くする必要があるが、このとき、上記エッチングレートの差によりコンタクトホールの内壁に凹凸が生じる。この状態を図22(b)に示す。

【0016】次に全面にリンがドーパされた多結晶シリコン膜3を成膜した後、その表面をCMPにより平坦化する(図23)。ここで多結晶シリコン膜3の成膜の際、コンタクトホール内壁に生じた凹凸に起因して、埋め込み不良が起こり、コンタクトプラグ中に図23に示すボイドが発生する。このような問題を回避するため、ウエット処理時間を短くするとエッチング残渣が残存

し、不純物拡散層11との接触抵抗が上昇する等の問題が発生する。

【0017】以上は2つのゲート電極に跨るコンタクトプラグを形成する場合の例であるが、プラグを形成せず単に層間絶縁膜を形成する場合にも、ゲート電極間のボイドの発生が問題となることがある。

【0018】以上述べた問題を解消するため、ウエット処理時間を精密に決定する必要があるが、前述のように、エッチング残渣の除去が完了する時点を正確に判定する方法は現状では見いだされていない。

【0019】次に、図24～27を参照して第三の従来技術について説明する。この従来技術は、強誘電体膜を容量絶縁膜とする容量素子を備えた半導体装置の製造方法の例である。

【0020】はじめに、公知の方法を用い、図24(a)のようにMOS型トランジスタをシリコン基板101上に形成する。まず熱酸化によりシリコン酸化膜102を形成する。ついでリンドープポリシリコン103、WSi104をこの順で成膜した後、これらをバターンニングしてゲート電極を形成する。次に、イオン注入により不純物拡散層105を形成してMOSFETを完成する。

【0021】次に図24(b)に示すように、層間絶縁膜としてボロンを含んだシリコン酸化膜(BPSG)108をCVD法により成膜した後、コンタクトホールをエッチングにより開口し、ホール内にTi膜109、タングステン膜110をこの順で成膜する。以上によりタングステンプラグが形成される。

【0022】つづいて図24(c)のように、容量下部電極層113を形成した後、PZT膜114、容量上部電極層115をこの順で形成する。たとえば、容量下部電極層113はPt/TiN/Ti、容量上部電極層115はIrO₂/Irの積層構造とする。PZT膜はCVD法等により形成する。

【0023】次に容量上部電極層115の上にフォトレジスト116を形成する(図25(a))。ついで、このフォトレジスト116をマスクとして、容量下部電極層113、PZT膜114、および容量上部電極層115をドライエッチングし、所定の形状とする(図25(b))。このときエッチング残渣117が、誘電体容量の側壁に付着する。このエッチング残渣117は、エッチングされたフォトレジスト材料や強誘電体膜材料、上部、下部電極材料およびエッチングガスと強誘電体膜材料との反応生成物などからなる。

【0024】ここでフォトレジスト116をレジスト剥離液を用いて除去すると、図26(a)のように、容量下部電極層113の側面に接触し、上方に延びるエッチング残渣117が残存する。このエッチング残渣117を除去するための物理的・機械的方法による処理を行うと、上方に突出した部分のみが折れ、図26(b)のよ

うに容量素子の側面にエッチング残渣117が残存した状態となる。このような状態となると、下部電極と上部電極が電氣的に接続され、容量素子としての機能が損なわれる。

【0025】このような問題を回避するため、通常は、洗浄によりエッチング残渣117を除去する。この洗浄工程を加えたプロセスについて、図26、27を参照して説明する。

【0026】図26(b)は、エッチング残渣117が容量素子側壁に付着した状態を示す。この状態で、基板を塩酸と水の混合液や、フッ酸と硝酸の混合液に浸漬等することにより洗浄を行う。これにより、図27(a)のようにエッチング残渣117が溶解し、除去される。しかしながら、これらの洗浄液はPZT膜をも溶解させてしまうため、PZT膜の露出部から溶解が進行し、図27(a)のように膜減り部が発生する。

【0027】強誘電体は、その特性が組成や膜厚等に大きく依存し、ウエット処理によって溶解すると特性が大きく変化する。特にPZT膜のような多元系の強誘電体膜とした場合、一部の元素が多量に溶解しやすく、組成変化が生じやすい。従来技術においては、このような組成変化により強誘電体膜の特性が大きく変化する、素子特性が劣化するという問題があった(図27(a)、(b))。

【0028】また、洗浄により強誘電体膜の膜厚が変化すると、歩留まりが低下するという問題も生じる。したがって、強誘電体膜の特性を劣化させることなく洗浄を行うためには、薬液による膜の浸食を最小限に抑え、組成や表面の状態を変化させずに洗浄を行うことが必要である。

【0029】また、強誘電体材料は薬品に対する反応性が高いため、ウエット処理時間を長くとると強誘電体膜表面に処理液の成分が吸着して表面状態が変化し、強誘電体膜等の特性が劣化することがあった。

【0030】

【発明が解決しようとする課題】本発明は、上述した種々の課題を解決するためになされたものであり、ウエット処理時間を最適化し、下地となる膜の膜減りや表面の変質を防止しつつドライエッチング残渣等の堆積物を実質的に完全に除去する方法を提供することを課題とする。

【0031】

【課題を解決するための手段】上記課題を解決する本発明によれば、半導体基板上の膜(a)の表面に堆積した堆積物(a)を、薬液を用いたウエット処理により除去する基板洗浄方法であって、前記ウエット処理を行う時間tを、下記ステップ(A)～(C)により決定することを特徴とする基板洗浄方法が提供される。

(A) 素子形成部およびテストパターン部を有するダミー基板を用い、該素子形成部に膜(a)と実質的に同一

材料からなる膜(b)を形成した後、その表面に、堆積物(a)と実質的に同一の材料、同一の膜厚の堆積物(b)を堆積するステップ

(B) 前記薬液と実質的に同一な薬液を用いてダミー基板のウエット処理を行い、この際、テストパターン部の膜厚の経時変化を測定するステップ

(C) 前記テストパターン部の膜厚の経時変化に基づいて前記ウエット処理を行う時間tを決定するステップ
また本発明によれば、半導体基板上の膜(a)をドライエッチングすることにより膜(a)の表面に付着したエッチング残渣を、薬液を用いたウエット処理により除去する基板洗浄方法であって、前記ウエット処理を行う時間tを、下記ステップ(A)～(C)により決定することを特徴とする基板洗浄方法が提供される。

(A) 素子形成部およびテストパターン部を有するダミー基板を用い、該素子形成部に膜(a)と実質的に同一材料からなる膜(b)を形成した後、前記ドライエッチングと同一条件で膜(b)のドライエッチングを行うステップ

(B) 前記薬液と実質的に同一な薬液を用いてダミー基板のウエット処理を行い、この際、テストパターン部の膜厚の経時変化を測定するステップ

(C) 前記テストパターン部の膜厚の経時変化に基づいて前記ウエット処理を行う時間tを決定するステップ
また本発明によれば、半導体基板を洗浄液に浸漬して半導体基板上に堆積した堆積物を除去する基板洗浄方法であって、前記堆積物を少なくとも含む膜厚の前記洗浄液への浸漬時間に対する経時変化を測定することによって洗浄時間を決定するようにしたことを特徴とする基板洗浄方法が提供される。

【0032】これらの基板洗浄方法は、ウエット処理を行う時間tを、ダミー基板を用いた膜厚測定に基づいて決定している。

【0033】素子領域の膜をドライエッチングしたとき、素子領域のみならずテストパターン部にもエッチング残渣が堆積する。ここで、本発明者の検討によれば、素子領域の堆積厚みとテストパターン部の堆積厚みがほぼ同一となることが明らかになった。本発明は、このような知見に基づいてなされたものである。

【0034】前述したように、素子領域に堆積したエッチング残渣の膜厚を、直接、測定することは困難である。そこで、本発明は、素子領域ではなく、テストパターン部に堆積したエッチング残渣の膜厚を測定することによりウエット処理時間を正確に決定する。

【0035】ダミー基板の素子形成部およびテストパターン部には、それぞれ同一材料、同一膜厚の堆積物またはエッチング残渣が付着している。したがって、これらの領域を含むウエハをウエット処理した場合、テストパターン部と素子領域とで同時にエッチング残渣の除去が完了する。テストパターン部において、エッチング残渣

が除去されると、今度は下地層の溶解が進行する。しかし、エッチング残渣と下地層とでは、上記ウエット処理による膜厚の減少速度が異なる。一般に、エッチング残渣の方がより速くエッチングされる。したがって、テストパターン部における膜厚変化を経時的に測定し、ウエット処理時間と膜厚との関係を調べれば、エッチング残渣の除去が完了した時点を正確に把握することができる。この時点をもってウエット処理時間とすることにより、下地となる膜の膜減りや表面の変質を防止しつつドライエッチング残渣等の堆積物を実質的に完全に除去することができる。

【0036】本発明は以上のような原理で最適ウエット処理時間を正確に決定するものであるから、テストパターン部表面には、膜(b)が形成されていないことが好ましい。テストパターン部表面は下地層となるので、このようにすることによって、エッチング残渣の除去が完了した時点をより正確に把握することができる。

【0037】さらに本発明によれば、上述した基板洗浄方法を応用した、以下の各半導体装置の製造方法が提供される。これらの半導体装置の製造方法によれば、上述したのと同様の理由により、下地となる膜の膜減りや表面の変質を防止しつつドライエッチング残渣等の堆積物を実質的に完全に除去することができ、高品質の半導体装置が提供される。

【0038】すなわち、本発明によれば、半導体基板上に高融点金属膜を含むゲート電極層(a)を形成する第一の工程と、マスクを用いてゲート電極層(a)をドライエッチングすることによりパターンニングする第二の工程と、該ドライエッチングによりゲート電極層(a)の表面に付着したエッチング残渣を、薬液を用いたウエット処理により除去する第三の工程と、ゲート電極層(a)の上に層間絶縁膜を形成する第四の工程とを含む半導体装置の製造方法であって、前記ウエット処理を行う時間tを、下記ステップ(A)～(C)により決定することを特徴とする半導体装置の製造方法が提供される。

(A) 素子形成部およびテストパターン部を有するダミー基板を用い、該素子形成部にゲート電極層(a)と実質的に同一なゲート電極層(b)を形成した後、第二の工程と同一条件でゲート電極層(b)をドライエッチングするステップ

(B) 前記薬液と実質的に同一な薬液を用いて前記ダミー基板をウエット処理し、この際、テストパターン部の膜厚の経時変化を測定するステップ

(C) 前記テストパターン部の膜厚の経時変化に基づいて前記ウエット処理を行う時間tを決定するステップ
また本発明によれば、半導体基板上に高融点金属膜を含むゲート電極層(a)を形成する第一の工程と、マスクを用いてゲート電極層(a)をドライエッチングすることにより第一のゲート電極および第二のゲート電極を形

成する第二の工程と、該ドライエッチングにより第一のゲート電極および第二のゲート電極の表面に付着したエッチング残渣を、薬液を用いたウェット処理により除去する第三の工程と、第一のゲート電極および第二のゲート電極の上に層間絶縁膜を形成する第四の工程とを含む半導体装置の製造方法であって、前記ウェット処理を行う時間 t を、下記ステップ(A)～(C)により決定することを特徴とする半導体装置の製造方法が提供される。

(A) 素子形成部およびテストパターン部を有するダメージ基板を用い、該素子形成部にゲート電極層(a)と実質的に同一なゲート電極層(b)を形成した後、第二の工程と同一条件でゲート電極層(b)をドライエッチングするステップ

(B) 前記薬液と実質的に同一な薬液を用いて前記ダメージ基板をウェット処理し、この際、テストパターン部の膜厚の経時変化を測定するステップ

(C) 前記テストパターン部の膜厚の経時変化に基づいて前記ウェット処理を行う時間 t を決定するステップ

また本発明によれば、半導体基板上に高融点金属膜を含むゲート電極層(a)を形成する第一の工程と、マスクを用いてゲート電極層(a)をドライエッチングすることにより第一のゲート電極および第二のゲート電極を形成する第二の工程と、該ドライエッチングにより第一のゲート電極および第二のゲート電極の表面に付着したエッチング残渣を、薬液を用いたウェット処理により除去する第三の工程と、第一のゲート電極および第二のゲート電極に跨るように導電膜を形成する第四の工程とを含む半導体装置の製造方法であって、前記ウェット処理を行う時間 t を、下記ステップ(A)～(C)により決定することを特徴とする半導体装置の製造方法が提供される。

(A) 素子形成部およびテストパターン部を有するダメージ基板を用い、該素子形成部にゲート電極層(a)と実質的に同一なゲート電極層(b)を形成した後、第二の工程と同一条件でゲート電極層(b)をドライエッチングするステップ

(B) 前記薬液と実質的に同一な薬液を用いて前記ダメージ基板をウェット処理し、この際、テストパターン部の膜厚の経時変化を測定するステップ

(C) 前記テストパターン部の膜厚の経時変化に基づいて前記ウェット処理を行う時間 t を決定するステップ

これらの半導体装置の製造方法によれば、ウェット処理時間が最適に決定されるため、ゲート電極層がウェット処理によりサイドエッチングされ、膜減りが起こることを防止できる。特にゲート電極層が多層構造である場合、サイドエッチングによる側面部の凹凸の発生を効果的に抑止し、その後の絶縁膜や導電膜の埋め込み工程における埋め込み不良等を防止することができる。

【0039】なお、この半導体装置の製造方法におい

て、テストパターン部表面には、ゲート電極層(b)が形成されていないことが好ましい。テストパターン部表面はウェット処理時に下地層となるので、このようにすることによって、エッチング残渣の除去が完了した時点より正確に把握することができる。

【0040】また本発明によれば、半導体基板上に層間絶縁膜(a)を形成する第一の工程と、マスクを用いて層間絶縁膜(a)の所定箇所をドライエッチングし、接続孔を形成する第二の工程と、該ドライエッチングにより該接続孔の表面に付着したエッチング残渣を、薬液を用いたウェット処理により除去する第三の工程と、該接続孔を導電膜により埋め込む第四の工程とを含み、前記層間絶縁膜(a)は、前記ウェット処理によるエッチングレート異なる複数の膜を含む半導体装置の製造方法であって、前記ウェット処理を行う時間 t を、下記ステップ(A)～(C)により決定することを特徴とする半導体装置の製造方法が提供される。

(A) 素子形成部およびテストパターン部を有するダメージ基板を用い、該素子形成部に層間絶縁膜(a)と実質的に同一な層間絶縁膜(b)を形成した後、第二の工程と同一条件で層間絶縁膜(b)の所定箇所をドライエッチングし、接続孔を形成するステップ

(B) 前記薬液と実質的に同一な薬液を用いて前記ダメージ基板をウェット処理し、この際、テストパターン部の膜厚の経時変化を測定するステップ

(C) 前記テストパターン部の膜厚の経時変化に基づいて前記ウェット処理を行う時間 t を決定するステップ

この半導体装置の製造方法によれば、ウェット処理時間が最適に決定されるため、層間絶縁膜がウェット処理により過剰にエッチングされ、接続孔の内壁に凹凸が発生することを効果的に抑止することができる。したがって、その後の導電膜の埋め込み工程における埋め込み不良等を有効に防止することができる。

【0041】なお、この半導体装置の製造方法において、テストパターン部表面には、層間絶縁膜(b)が形成されていないことが好ましい。テストパターン部表面はウェット処理時に下地層となるので、このようにすることによって、エッチング残渣の除去が完了した時点より正確に把握することができる。

【0042】また本発明によれば、半導体基板上に強誘電体膜(a)を形成する第一の工程と、マスクを用いて強誘電体膜(a)をドライエッチングする第二の工程と、強誘電体膜(a)の表面に付着したエッチング残渣を、薬液を用いたウェット処理により除去する第三の工程とを含む半導体装置の製造方法であって、前記ウェット処理を行う時間 t を、下記ステップ(A)～(C)により決定することを特徴とする半導体装置の製造方法が提供される。

(A) 素子形成部およびテストパターン部を有するダメージ基板を用い、該素子形成部に強誘電体膜(a)と実質

的に同一な強誘電体膜 (b) を形成した後、第二の工程と同一条件で強誘電体膜 (b) をドライエッチングするステップ

(B) 前記薬液と実質的に同一な薬液を用いて前記ダミー基板をウェット処理し、この際、テストパターン部の膜厚の経時変化を測定するステップ

(C) 前記テストパターン部の膜厚の経時変化に基づいて前記ウェット処理を行う時間 t を決定するステップ

この半導体装置の製造方法における半導体装置は、たとえば、上記強誘電体を容量絶縁膜とするキャパシタ等をいう。この半導体装置の製造方法によればウェット処理時間が最適に決定されるため、強誘電体膜がウェット処理により過剰にエッチングされることを効果的に防止できる。これにより、強誘電体膜の溶解、組成変化および表面変質を抑え、これらによる強誘電体膜の特性の低下を防止することができる。また、洗浄による強誘電体膜の膜厚の変化を抑え、歩留まりの低下を防止することができる。

【0043】なお、この半導体装置の製造方法において、テストパターン部表面には、強誘電体膜 (b) が形成されていないことが好ましい。テストパターン部表面はウェット処理時に下地層となるので、このようにすることによって、エッチング残渣の除去が完了した時点より正確に把握することができる。

【0044】

【発明の実施の形態】本発明では、テストパターン部の膜厚の経時変化に基づいてウェット処理を行う時間 t を決定する。たとえば、ウェット処理開始後、膜厚の減少速度が実質的に変化するまでの時間を求め、この時間をウェット処理を行う時間 t とする。ウェット処理によるドライエッチング残渣とその下地膜とのエッチングレートは顕著に異なるため、上記方法により、ドライエッチング残渣等の堆積物の除去が完了した時点を確認することができる。

【0045】本発明においては、半導体装置とダミー基板は同一工程で成膜されたりエッチングされ、(B) のステップで、実際の基板洗浄あるいは半導体装置の製造の際に用いる薬液と実質的に同一な薬液を用いてダミー基板のウェット処理を行う。「実質的に同一な薬液」とは、組成、液温等が実質的に同一であることをいうが、これらが異なっても、その差を数式等により補正可能なものも含まれる。また、実際の基板洗浄あるいは半導体装置の製造の際のウェット処理と、ダミーウエハのウェット処理とは、同じ条件で行うことが望ましい。

【0046】本発明において、ウェット処理を行う処理液については特に限定がないが、ドライエッチング残渣を効果的に除去できるものが好ましく用いられる。たとえば、アンモニア-過酸化水素水混合液等が用いられる。また、特に強誘電体膜のドライエッチング後のウェット処理においては、処理液として pH7 未満の酸性液

を用いることが好ましい。エッチング残渣を効果的に除去できるからである。この場合、pH 範囲は5以下、より好ましくは4以下とする。

【0047】本発明において、ダミー基板は素子形成部およびテストパターン部を有する。素子形成部とは、実際に素子を形成する部分をいう。トランジスタ形成箇所やキャパシタの形成箇所のほか、コンタクト形成箇所等も含む。テストパターン部とは、素子形成部以外の箇所に設けられた膜厚測定のための部分をいう。また、テストパターン部は、後の工程で配線やコンタクト等、別の素子形成部に使用されても良い。テストパターン部は、エリブソメトリック法などを用いて測定するのに必要な平坦な領域に形成される。層間絶縁膜上の平坦部であって素子形成部に隣接する箇所に設けられても良い。テストパターン部は、 $20\mu\text{m}$ 以上の面積を有することが好ましい。このようにすることによって膜厚の測定が容易となる。また、テストパターン部は、素子形成部と同程度の残渣が堆積していることが必要であるので、素子形成部に近接していることが望ましく、また、ウエハ上の異なる箇所にテストパターン部を設けて数カ所で膜厚測定を行い、平均をとることが望ましい。このようにすることによって膜厚測定値がより正確となり、ウェット処理に必要な時間をより正確に決定できる。たとえばスクライプ線上にテストパターン部を設ければ、このような測定を容易に行うことができる。

【0048】図1はダミーウエハの一例を示す図である。ウエハ50上には、素子形成部を含む素子領域51と、スクライプ線52とを有している。テストパターン部は、スクライプ線52上またはウエハ周辺部の空領域、又は素子形成領域51内で、素子形成部に隣接する平坦な領域に設けられている。

【0049】テストパターン部は、その表面に素子形成部に形成されたのと同じ膜、たとえばシリコン酸化膜、シリコン窒化膜またはシリコン酸窒化膜が設けられてなることが好ましい。このようにすることによって、ドライエッチング残渣の除去が完了した時点が素子形成部と等価になるからである。たとえば、シリコン基板と、その上に形成された自然酸化膜あるいはゲート酸化膜とからなる断面構造とすることが好ましい。

【0050】本発明の基板洗浄方法において、ドライエッチングする際、シリコン酸化膜、シリコン窒化膜またはシリコン酸窒化膜をマスクとして用いることが好ましい。このようなハードマスクを用いることにより微細化したパターンを精密に形成することができるからである。このようなマスクを用いた場合、従来技術では、特にウェット処理の完了時点を確認することが困難であったが、本発明によれば、この困難を解消でき、上記ハードマスクの利点をいかすことができる。

【0051】本発明において、膜 (a)、(b) あるいはゲート電極層 (a)、(b) がウェット処理によりエ

ッチングされる材料を含むものである場合、本発明の効果はより顕著に発揮される。但しこのような材料でなくとも、たとえばウエット処理により表面が変質等起こすものであっても本発明の方法は有効である。本発明はウエット処理に最適な時間を正確に決定することにより、下地膜の損傷を最小限に抑えるものだからである。

【0052】また本発明において、膜(a)、(b)あるいはゲート電極層(a)、(b)が、ウエット処理によるエッチングレート異なる複数の膜を含んでなる場合、本発明の効果は顕著に発揮される。このような例として、上記膜あるいはゲート電極層が高融点金属膜および多結晶シリコン膜を含んでなる構成が挙げられる。この場合、ウエット処理を過剰に行うと上記膜あるいはゲート電極層に凹凸が発生することとなるが、本発明によればドライエッチング残渣等の除去が完了する時間を正確に把握できるので、ウエット処理を過剰に行わなくて済み、上記問題を解決できる。

【0053】さらに本発明の基板洗浄方法において、膜(a)、(b)が、強誘電体膜を含むものである場合にも本発明の効果は顕著に発揮される。強誘電体は、その特性が組成や膜厚等に大きく依存し、ウエット処理によって溶解したり表面状態が変化するとその特性が大きく変化するが、本発明によればウエット処理時間が最適化されるため、強誘電体膜の溶解および表面変質を有効に防止できるからである。

【0054】ここで強誘電体とは、自発分極を有し、それが電界により反転される性質を持つ材料をいう。代表的にはペロブスカイト構造を有する金属酸化物を挙げることができる。

【0055】本発明における強誘電体膜とは、たとえば比誘電率10以上の金属酸化膜をいう。このうち、ストロンチウム、チタン、バリウム、ジルコニウム、鉛、ビスマス、タンタルから選ばれる少なくとも一種を含む酸化物であることが好ましい。具体的には、BST ($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$)、PZT ($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$)、PLZT ($\text{Pb}_{1-y}\text{La}_y\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$)、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ などのペロブスカイト系材料からなる膜であることが好ましい(ここで上記化合物いずれについても、 $0 \leq x \leq 1$ 、 $0 < y < 1$ である)。また、 Ta_2O_5 などを用いることもできる。このような材料を選択した場合、本発明の効果はより顕著に発揮される。すなわち、これらの材料を容量素子に適用した場合、大きな蓄積容量が得られる一方で、強誘電体膜の膜減り・特性劣化を抑えつつエッチング残渣を除去することが困難であるという課題を有していた。本発明の方法では、かかる課題が解決されるので、上記材料の優れた特性を十分に活かすことができる。

【0056】本発明において強誘電体膜の成膜方法は特に限定されない。たとえばPZT膜の場合、ゾルゲル法、スパッタ法、CVD法等の公知の方法により成膜す

ることができる。

【0057】

【実施例】(実施例1)本実施例は、高融点金属層を含むゲート電極層をドライエッチングすることにより第一および第二のゲート電極を形成し、これらのゲート電極の上に跨るように導電膜を形成し、さらにその上にビット線を設ける工程を経て半導体装置を製造する例を示すものである。ゲート電極層をドライエッチングした後、ウエット処理によりドライエッチング残渣を除去するが、このウエット処理を行う時間tを精密に決定することが重要となる。そこで本実施例では、まずダミー基板を用い、実際の素子の製造工程と同一のプロセスを実施し、その際、以下のようにしてウエット処理時間を決定した。

【0058】(ウエット処理時間の決定)まず図2

(a)に示すように、p-形シリコン単結晶からなる半導体基板1の表面にp型ウエル領域6を形成し、熱酸化処理により酸化シリコン膜2(膜厚9nm)を形成した後、その上に多結晶シリコン膜3(膜厚70nm)、WSi膜4(膜厚150nm)、およびシリコン酸化膜5(膜厚200nm)をそれぞれCVD法により成膜した。次に図2(b)に示すように、シリコン酸化膜5の上にフォトレジスト25を形成した後、これをマスクとして、図2(c)のようにシリコン酸化膜5をエッチングした。その後、フォトレジスト25をSPMで剝離した。

【0059】次に、バターンニングされたシリコン酸化膜5をマスクにして、WSi膜4および多結晶シリコン膜3を同一エッチング条件にてドライエッチングし、ワード線を兼ねるゲート電極10を形成した。このとき同時に、スクライブ線上に設けられたテストパターン領域についても、バターンニングされたシリコン酸化膜5をマスクとしてドライエッチングを行い、シリコン酸化膜2を露出させテストパターン部を形成した。なお、本実施例ではテストパターン部表面にシリコン酸化膜2を露出させたが、テストパターン部表面がシリコン酸化膜5であってもよく、また、エッチング残渣とエッチング速度の異なる膜(窒化膜など)であってもよい。

【0060】上記ドライエッチングにおいて、エッチングガスとしては、 Cl 、 CF_4 を含むガスを用いた。このとき、被エッチング対象物とエッチングガスとの反応生成物等からなるエッチング残渣7が各ゲート電極の側面やシリコン酸化膜5、およびテストパターン部に付着した(図3(a)、(b))。

【0061】このエッチング残渣7を除去するため、アンモニア過酸化水素水の混合液(以下、「APM」という)を用いてウエット処理(洗浄)した。APMによるウエット処理する際、液の温度を35℃とした。

【0062】APMは、特にWSiに対して強い溶解性を示す。このため、上記ウエット処理の時間は、エッチ

ング残渣を除去するための必要最小限の時間とする必要がある。そこで本実施例では、ダミー基板のテストパターン部における膜厚の経時変化を測定することにより、ウエット処理時間を決定した。

【0063】エッチング残渣7は、素子領域と同様にテストパターン部にも堆積する(図3(b))。ここで、エッチング残渣7の堆積する厚みは、素子領域のゲート電極10側面やシリコン酸化膜2上と、テストパターン部のシリコン酸化膜2上とで、ほぼ同一となる。したがって、これらの領域を含むウエハをウエット処理のための洗浄槽に浸漬した場合、テストパターン部と素子領域とで同時にエッチング残渣の除去が完了する。テストパターン部において、エッチング残渣7が除去されると、今度は下地のシリコン酸化膜2の溶解が進行する。しかし、エッチング残渣7とシリコン酸化膜2とは、APMによる溶解速度が顕著に異なり、エッチング残渣7の方が溶解が速く進む。したがって、テストパターン部においてAPMウエット処理による膜厚変化を経時的に測定すると、エッチング残渣の除去が完了し下地のシリコン酸化膜2が露出した時点で膜厚の減少速度が顕著に変化する。この様子を図6に示す。図6は、APMによるウエット処理時間とテストパターン部の膜厚変化の挙動との関係を示す図である。テストパターン部の膜厚はエリブソメトリック法等の光学的な方法により測定した。なおエリブソメトリック法で測定する場合は、通常、残渣だけでなく下地の膜厚を含めた膜厚を測定する。図中に示されるように、18分の時点で膜厚の減少速度が変化しており、この時点でエッチング残渣の除去が完了したことがわかる。以上により、ウエット処理時間を18分と決定した。

【0064】(素子の作製) 以上のようにしてウエット処理時間を決定した後、素子の作製を行った。

【0065】まず図2、3に示した工程と同一の工程を実施した。テストパターン部は設けていない。次に、APMによるウエット処理(洗浄)を行った。ウエット処理時間は、前述のようにして決定した18分とした。洗浄後の状態を図4に示す。

【0066】次に、半導体基板1に熱酸化処理を施すことにより、ゲート電極の側壁に、薄い酸化シリコン膜等からなる絶縁膜を形成した(不図示)。つづいて全面にリンをイオン注入し熱拡散させた後、CVD法による成膜および異方性エッチングをにより、ゲート電極の側壁にサイドウォール8を形成した。ついで前記したリンよりも高濃度の砒素をイオン注入し、熱拡散することによりLDD(Lightly Doped Drain)構造の不純物拡散層11を形成した。

【0067】この上に、多結晶シリコン膜3を成膜してパターンニングした後(図5(a))、層間絶縁膜14を成膜して、その表面をCMPにより平坦化した(図5(b))。平坦化はエッチバックにより行うこともで

き、この場合は、サイドウォール8やシリコン酸化膜5を窒化膜にするか窒化膜で覆い、層間絶縁膜とのエッチング比を確保することが好ましい。さらにその上に、多結晶シリコン膜3(膜厚70nm)、WSi膜4(膜厚150nm)、およびシリコン酸化膜5(膜厚200nm)をそれぞれCVD法により成膜した後、ドライエッチングによりパターンニングし、ビット線15を形成した(図5(c))。

【0068】以上のようにして作製した半導体装置の断面構造を走査型電子顕微鏡によって観察したところ、ボイドの発生やゲート電極側面のスリットの発生のない、良好な形状の素子が形成されていることが確認された。

【0069】なお、本実施例では2つのゲート電極に跨るコンタクトプラグを形成する場合を示したが、プラグを形成せず単に層間絶縁膜を形成する場合にも、本実施例の方法は有効であり、図28のようなエッチング残渣が残存せず埋め込み不良のない良好な半導体装置を形成することができる。

【0070】(実施例2) 図2~3の工程においてAPMウエット処理によるエッチング残渣7を除去する際、APMの温度を45℃とし、ウエット処理時間を変更したこと以外は実施例1と同様にして、ウエット処理時間を決定し半導体素子を作製した。

【0071】図7は、本実施例におけるAPMによるウエット処理時間とテストパターン部の膜厚変化の挙動との関係を示す図である。図中に示されるように、7分の時点で膜厚の減少速度が変化しており、この時点でエッチング残渣の除去が完了したことがわかる。以上により、APM洗浄液の温度を上げた場合にはエッチング速度が速くなり、ウエット処理時間を7分と決定した。

【0072】以上のようにして作製した半導体装置の断面構造を走査型電子顕微鏡によって観察したところ、ボイドの発生やゲート電極側面のスリットの発生のない、良好な形状の素子が形成されていることが確認された。

【0073】(実施例3) 本実施例は、ダミー基板を用いたウエット処理時間の決定方法を、ウエット処理に対するエッチングレート異なる複数の膜からなる層間絶縁膜を備えた半導体装置の製造方法に適用した例である。

【0074】本実施例では、層間絶縁膜をドライエッチングしてコンタクトホールを形成した後、APMウエット処理によりドライエッチング残渣を除去しているが、このウエット処理を行う時間を精密に決定することが重要となる。本実施例の層間絶縁膜はAPMウエット処理に対するエッチングレート異なる複数の膜から構成されているため、ウエット処理時間を長くするとコンタクトホールの内壁に凹凸が生じ、ホールの埋め込み不良を引き起こすからである。

【0075】そこで本実施例では、まずダミー基板を用い、実際の素子の製造工程と同一のプロセスを実施し、

その際、以下のようにしてウェット処理時間を決定した。

【0076】(ウェット処理時間の決定) ダミー基板を用いたウェット処理時間の決定プロセスについて、図8～10を参照して説明する。

【0077】まず図8(a)に示すように、シリコン半導体基板上にワード線を兼ねるゲート電極10を形成する。以下、この状態に至るまでの工程の概略を説明する。はじめにp-形シリコン単結晶からなる半導体基板1の表面に選択酸化によりフィールド絶縁膜16を形成した。次にリンをイオン注入し、p型ウエル領域6を形成した。つづいて熱酸化処理により酸化シリコン膜2(膜厚9nm)を形成した後、その上に多結晶シリコン膜3(膜厚70nm)、WSi膜4(膜厚150nm)、シリコン酸化膜5(膜厚200nm)およびシリコン窒化膜(不図示)をそれぞれCVD法により成膜した。次にシリコン酸化膜5の上にフォトレジスト(不図示)を形成した後、これをマスクとして、多結晶シリコン膜3、WSi膜4およびシリコン酸化膜5をエッチングし、ゲート電極10を形成した。

【0078】次に、半導体基板1に熱酸化処理を施すことにより、ゲート電極の側壁に、薄い酸化シリコン膜等からなる絶縁膜を形成した(不図示)。つづいて全面にリンをイオン注入し熱拡散させた後、CVD法による成膜および異方性エッチングをにより、ゲート電極の側壁にサイドウォールを8を形成した。ついで前記したリンよりも高濃度の砒素をイオン注入し、熱拡散することによりLDD(Lightly Doped Drain)構造の不純物拡散層11を形成した。以上の工程により図8(a)の状態となる。

【0079】次に図8(b)に示すように、CVD法により、ノンドープの酸化シリコン膜17、BPSG(Boro Phospho Silicate Glass)膜18、BSG(Boro Silicate Glass)膜19をこの順で堆積した。各膜厚は、酸化シリコン膜17が100nm、BPSG膜18が200nm、BSG19膜が50nmである。各膜の堆積後、窒素アニールによりリフローを行った。

【0080】ついでこの上にBPSG膜20(膜厚200nm)をCVD法を用いて堆積した後、バッファードフッ化水素(BHF)を用いてエッチバックを行い、BPSG膜20表面の平坦化を行った(図8(c))。

【0081】次に、BPSG膜20の表面にパターンニングされたフォトレジスト25を設け、これをマスクにして、酸化シリコン膜17、BPSG膜8、BSG膜19およびBPSG膜20からなる層間絶縁膜をエッチングした。エッチングガスとしては、 C_4H_8 、Arおよび O_2 を含むガスを用いた。このとき、被エッチング対象物とエッチングガスとの反応生成物等からなるエッチング残渣24がホールの内壁およびテストパターン部に付着した(図9(a)、(b))。テストパターン部の開口

部は、エリブソメトリック法などにより測定可能な面積があればよく、 $20\mu m^2$ とした。

【0082】このエッチング残渣24を除去するため、アンモニア過酸化水素水の混合液(以下、「APM」という)を用いてウェット処理(洗浄)した。APMによるウェット処理する際、液の温度を $35^\circ C$ とした。

【0083】上述のように、本実施例の層間絶縁膜は複数の膜が積層した構造となっており、各膜はAPMに対して異なるエッチングレートを有している。エッチング残渣24を完全に除去するためにはウェット処理時間がある程度長くする必要があるが、このとき、上記エッチングレートの差によりコンタクトホールの内壁に凹凸が生じることとなる。そこで、APMによるウェット処理の時間は、エッチング残渣を除去するための必要最小限の時間とする必要がある。そこで本実施例では、ダミー基板のテストパターン部における膜厚の経時変化を測定することにより、ウェット処理の最適時間を正確に決定した。

【0084】エッチング残渣24は、素子領域と同様にテストパターン部にも堆積する(図9(b))。ここで、エッチング残渣の堆積する厚みは、コンタクトホール内壁と、テストパターン部のシリコン酸化膜2上とで、ほぼ同一となる。したがって、これらの領域を含むウエハをウェット処理のための洗浄槽に浸漬した場合、テストパターン部と素子領域とで同時にエッチング残渣の除去が完了する。テストパターン部において、エッチング残渣24が除去されると、今度は下地のシリコン酸化膜2の溶解が進行する。しかし、エッチング残渣24とシリコン酸化膜2とでは、APMによる溶解速度が顕著に異なり、エッチング残渣7の方が溶解が速く進む。したがって、テストパターン部においてAPMウェット処理による膜厚変化を経時的に測定すると、エッチング残渣の除去が完了し下地のシリコン酸化膜2が露出した時点で膜厚の減少速度が顕著に変化する。本実施例では16分の時点で膜厚の減少速度が変化した。この時点でエッチング残渣の除去が完了したことがわかる。以上により、ウェット処理時間を16分と決定した。

【0085】(素子の作製) 以上のようにしてウェット処理時間を決定した後、素子の作製を行った。

【0086】まず図8～9に示した工程と同一の工程を実施した。テストパターン部は設けていない。次に、SPMによるレジスト剥離を10分間行った後、APMによるウェット処理(洗浄)を行った。ウェット処理時間は、前述のようにして決定した16分とした。洗浄後の状態を図10に示す。

【0087】次に全面にリンがドープされた多結晶シリコン膜3を形成した後、その表面をCMPにより平坦化した(図11(a))。さらにその上に、多結晶シリコン膜3(膜厚70nm)、WSi膜4(膜厚150nm)、およびシリコン酸化膜5(膜厚200nm)をそ

れぞれCVD法により成膜した後、ドライエッチングによりパターンニングし、ビット線15を形成した(図11(b))。

【0088】以上のようにして作製した半導体装置の断面構造を走査型電子顕微鏡によって観察したところ、ボイドの発生やゲート電極側面のスリットの発生のない、良好な形状の素子が形成されていることが確認された。

【0089】(実施例4)本実施例は、図12のような強誘電体膜114を容量絶縁膜とする容量素子を備えた半導体装置の製造方法の一例を示すものである。本実施例について図13~15を参照して説明する。

【0090】まず図13(a)のようにMOS型トランジスタをシリコン基板101上に形成した。熱酸化によりシリコン基板101表面にゲート酸化膜となるシリコン酸化膜102を膜厚10nm程度形成した。次いでその上に、リンドープポリシリコン103、WSi104を、それぞれ、CVD法により膜厚100nmとして成膜した。つづいてシリコン酸化膜102、リンドープポリシリコン103およびWSi104をパターンニングしてゲート電極を形成した。ゲート長は0.3μmとした。次に、イオン注入により不純物拡散層105を形成した。以上のようにして素子分離酸化膜107により分離された領域中にMOSFETを完成した(図13(a))。

【0091】次に図13(b)に示すようにコンタクトプラグを形成した。まず層間絶縁膜としてボロンを含んだシリコン酸化膜(BPSG)108をCVD法により成膜した後、CMP法により平坦化した。ついでコンタクトホールをエッチングにより開口した後、バリアメタルとしてTi膜109を成膜し、さらにその上にタングステン膜110を成膜した。これによりタングステンプラグを形成した。

【0092】次に図13(c)に示すように強誘電体容量を構成する層を形成した。まずTi膜及びTiN膜を連続してスパッタし、その上に100nmのPt膜を形成して容量下部電極層113を形成した。次にCVD法によりPZT膜114(膜厚100nm)を形成した。原料ガスとしては、ビスジビバロイルメタナート鉛、チタンイソプロポキシド、ジルコニウムブトキシドを用い、酸化剤としてNO₂を用いた。成膜時の基板温度は400℃とし、成膜時の真空容器内のガスの全圧は5×10⁻³Torrとした。つづいてIrO₂及びIrをスパッタリング法により成膜し、容量上部電極層115を形成した。

【0093】次に図14(a)に示すように、容量上部電極層115の上にフォトリソ resist 116を形成した。

【0094】ついで、このフォトリソ resist 116をマスクとして、容量下部電極層113、PZT膜114、および容量上部電極層115をドライエッチングし、所定の形状とした(図14(b))。このとき、フォトリソ

スト材料や強誘電体膜材料およびエッチングガスと強誘電体膜材料との反応生成物などからなるエッチング残渣117が、誘電体容量の側壁に付着する。

【0095】このエッチング残渣117を塩酸と水の混合液(pH=3)を洗浄液として用い洗浄した。洗浄は浸漬法により行い、超音波印加を併用した。洗浄液の温度は25℃とした。

【0096】エッチング残渣117を完全に除去するためには、上記洗浄液による洗浄をある程度長い時間行う必要がある。エッチング残渣117が残存すると、素子特性が劣化するばかりでなくクロス汚染の問題等が発生するからである。しかし、洗浄時間を長くすると、強誘電体膜114が溶解したり、表面が変質する等の問題がある。そこで、本実施例ではダミー基板を用いて洗浄時間の最適化を行った。最適化の手順は、実施例1~3と同様にして行った。その結果、洗浄時間を10分と決定した。この洗浄を行うことにより、図14(b)に示したエッチング残渣117が除去された(図15(a))。

【0097】つづいて、レジスト剥離液を用いてフォトリソ resist 116を剥離し、PZT容量を完成した(図15(b))。

【0098】以上のようにして作製した半導体装置について、エッチング残渣117の除去効果および強誘電体膜の膜減りの程度を評価した。評価は、走査型電子顕微鏡による断面観察により行った。その結果、エッチング残渣はほぼ完全に除去されており、強誘電体膜の膜減りは発生していないことが確認された。

【0099】

【発明の効果】以上説明したように本発明によれば、ダミーウエハを用いた膜厚測定によりウェット処理時間が最適に決定されるため、下地となる膜の膜減りや表面の変質を防止しつつドライエッチング残渣等の堆積物を実質的に完全に除去することができる。特に、微細なコンタクト孔底部やコンタクト孔側面のように、光学的に膜厚測定の困難な部分に堆積したエッチング残渣に対しても、テストパターン部の膜減り量の変化を測定することにより、最適洗浄時間を正確に見積もることが可能となる。

【図面の簡単な説明】

【図1】本発明の基板洗浄方法に用いるダミー基板の概略図である。

【図2】本発明の半導体装置の製造方法を示す工程断面図である。

【図3】本発明の半導体装置の製造方法を示す工程断面図である。

【図4】本発明の半導体装置の製造方法を示す工程断面図である。

【図5】本発明の半導体装置の製造方法を示す工程断面図である。

【図 6】ウェット処理時間の決定方法を説明するための図である

【図 7】ウェット処理時間の決定方法を説明するための図である

【図 8】本発明の半導体装置の製造方法を示す工程断面図である。

【図 9】本発明の半導体装置の製造方法を示す工程断面図である。

【図 10】本発明の半導体装置の製造方法を示す工程断面図である。

【図 11】本発明の半導体装置の製造方法を示す工程断面図である。

【図 12】本発明の半導体装置の製造方法により得られる容量素子を備えた半導体装置を示す断面図である。

【図 13】本発明の半導体装置の製造方法を示す工程断面図である。

【図 14】本発明の半導体装置の製造方法を示す工程断面図である。

【図 15】本発明の半導体装置の製造方法を示す工程断面図である。

【図 16】従来の半導体装置の製造方法を示す工程断面図である。

【図 17】従来の半導体装置の製造方法を示す工程断面図である。

【図 18】従来の半導体装置の製造方法を示す工程断面図である。

【図 19】従来の半導体装置の製造方法を示す工程断面図である。

【図 20】従来の半導体装置の製造方法を示す工程断面図である。

【図 21】従来の半導体装置の製造方法を示す工程断面図である。

【図 22】従来の半導体装置の製造方法を示す工程断面図である。

【図 23】従来の半導体装置の製造方法を示す工程断面図である。

【図 24】従来の半導体装置の製造方法を示す工程断面図である。

【図 25】従来の半導体装置の製造方法を示す工程断面図である。

【図 26】従来の半導体装置の製造方法を示す工程断面図である。

10

20

30

40

*

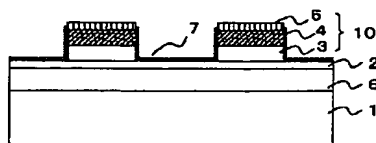
*【図 27】従来の半導体装置の製造方法を示す工程断面図である。

【図 28】本発明の半導体装置の製造方法により得られる半導体装置の一例を示す断面図である。

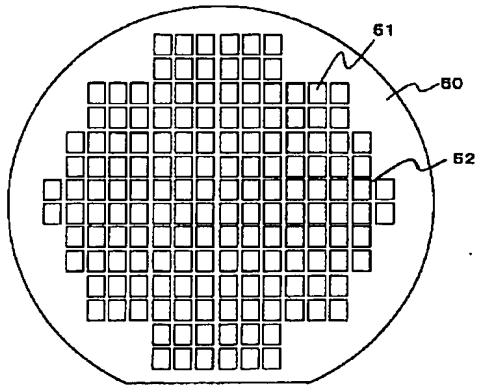
【符号の説明】

- 1 シリコン基板
- 2 シリコン酸化膜
- 3 WSi 膜
- 4 多結晶シリコン膜
- 5 シリコン酸化膜
- 6 p 型ウエル
- 7 エッチング残渣
- 8 サイドウォール
- 10 ゲート電極（ワード線）
- 11 不純物拡散層
- 15 ビット線
- 16 フィールド絶縁膜
- 17 ノンドープ酸化シリコン膜
- 18 BPSG 膜
- 19 BSG
- 20 BPSG 膜
- 23 フォトレジスト
- 24 エッチング残渣
- 25 フォトレジスト
- 50 シリコンウエハ
- 51 素子形成領域
- 52 スクライブ線
- 101 シリコン基板
- 102 シリコン酸化膜
- 103 リンドープポリシリコン
- 104 WSi
- 105 不純物拡散層
- 107 素子分離酸化膜
- 108 シリコン酸化膜（BPSG）
- 109 Ti 膜
- 110 タングステン膜
- 113 容量下部電極層
- 114 PZT 膜
- 115 容量上部電極層
- 116 フォトレジスト
- 117 エッチング残渣

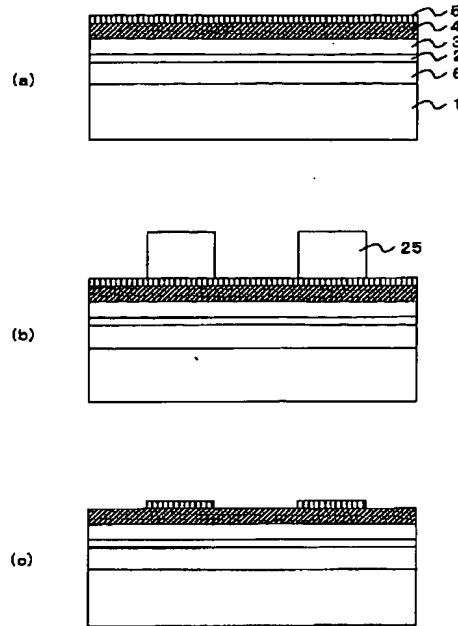
【図 17】



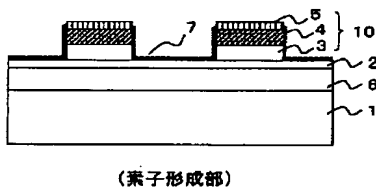
【図1】



【図2】

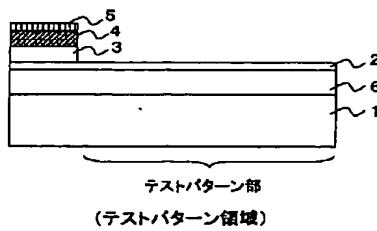
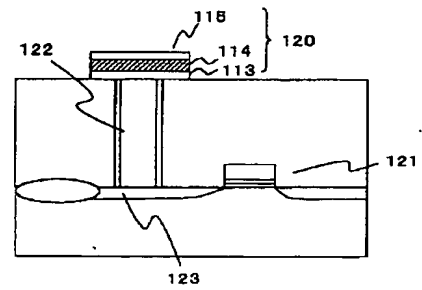
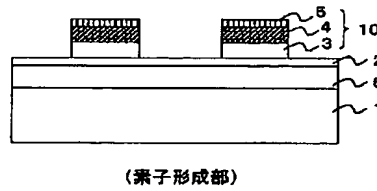
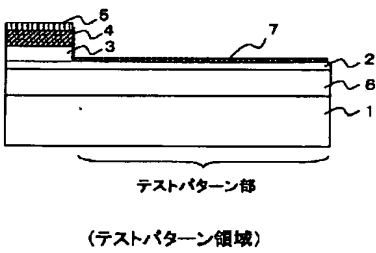


【図3】

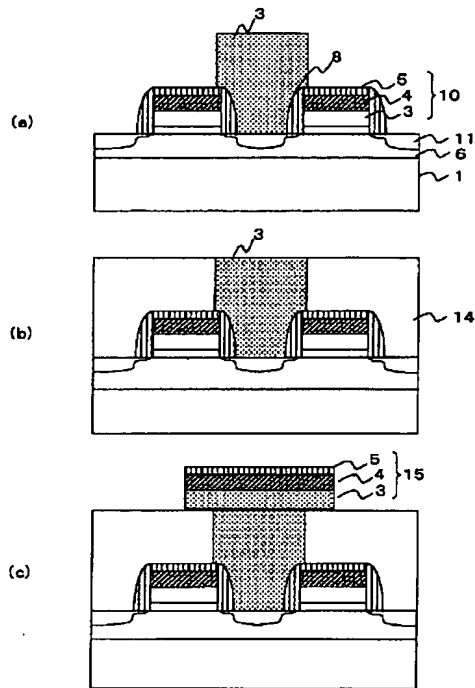


【図4】

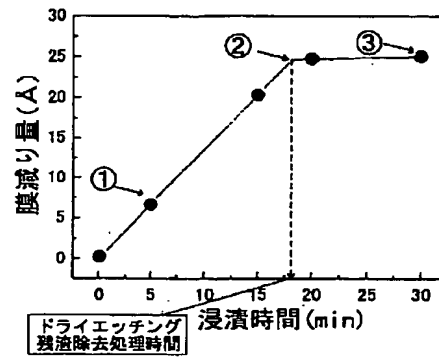
【図12】



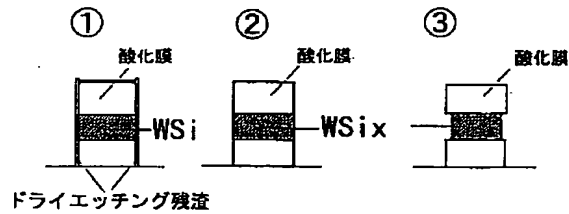
【図5】



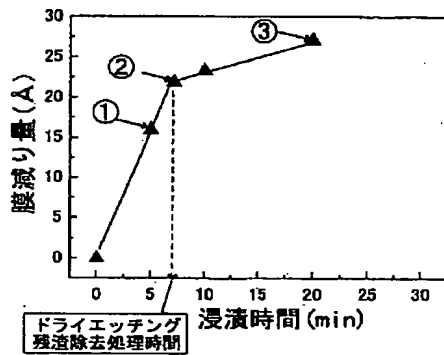
【図6】



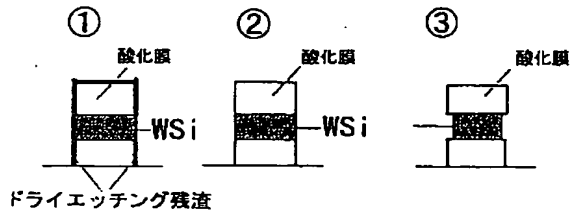
(断面状態の経時変化)



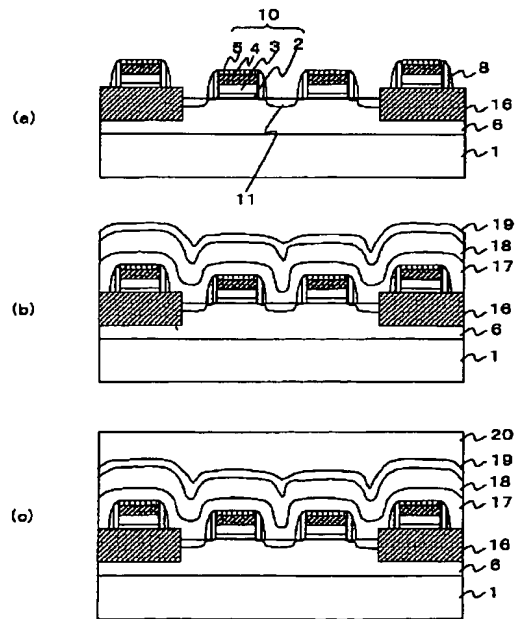
【図7】



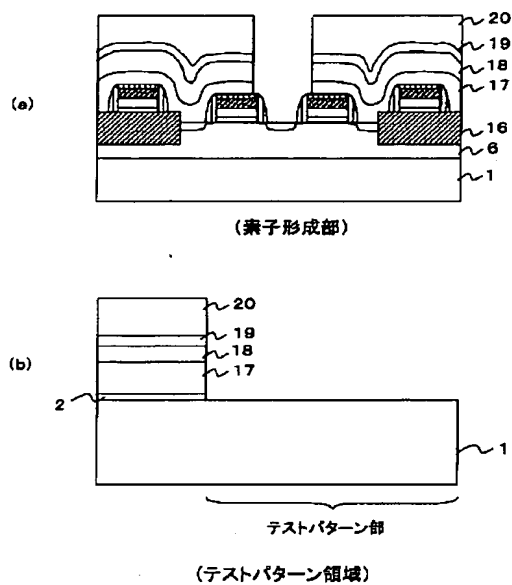
(断面状態の経時変化)



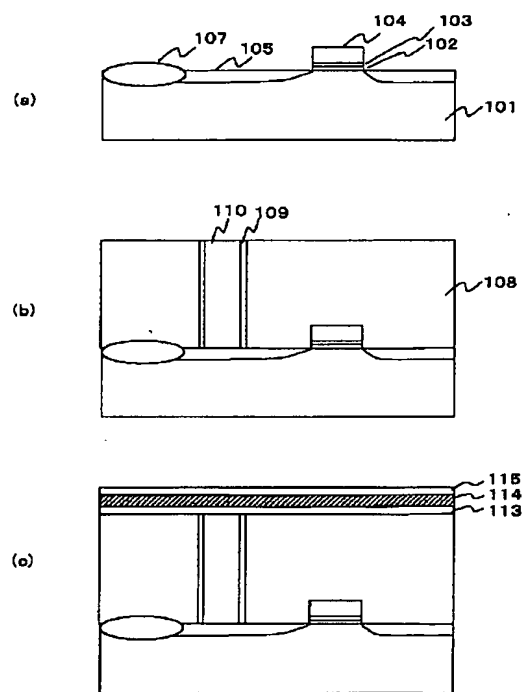
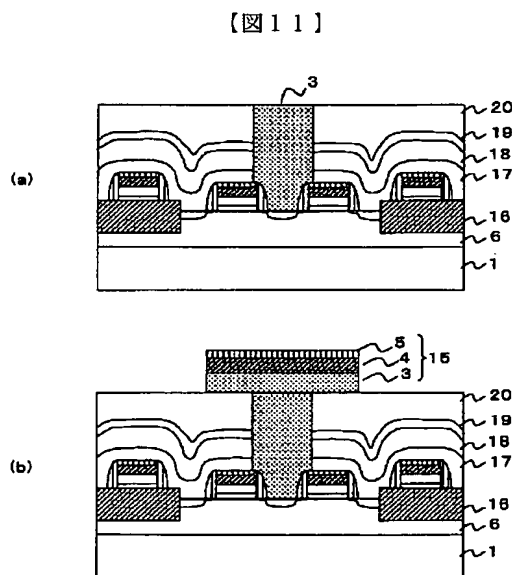
【図8】



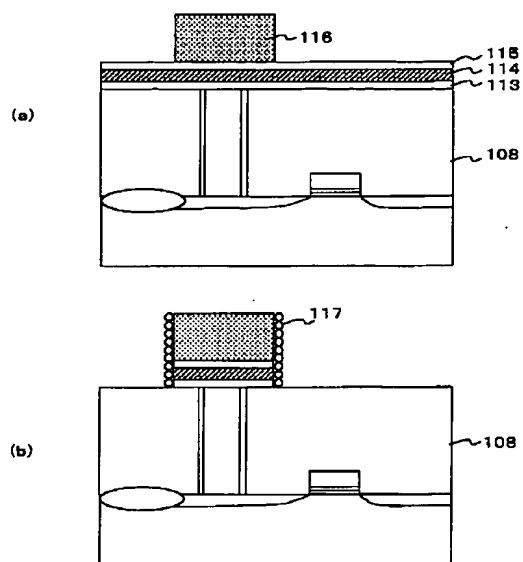
【圖 10】



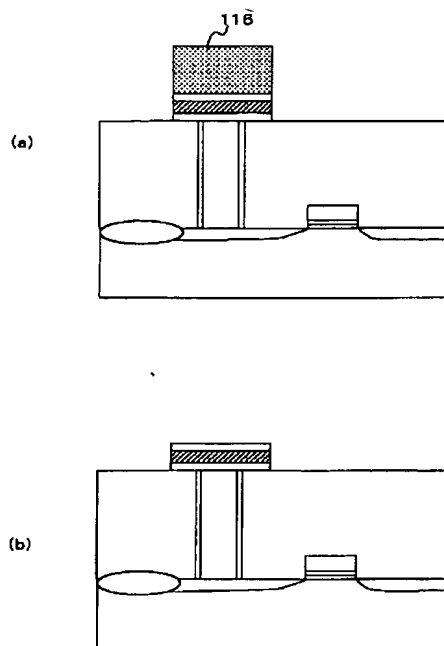
【图 13】



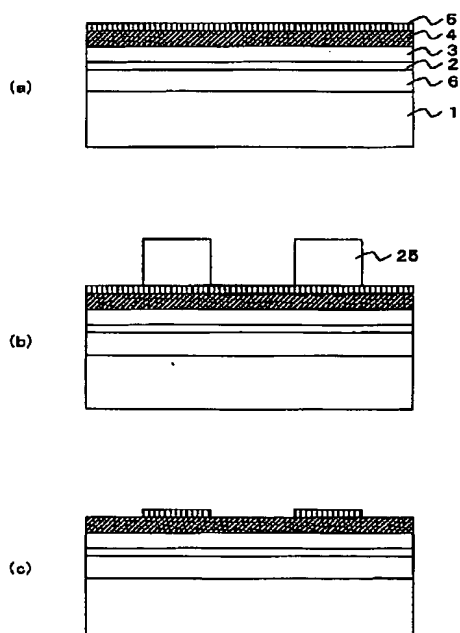
【図14】



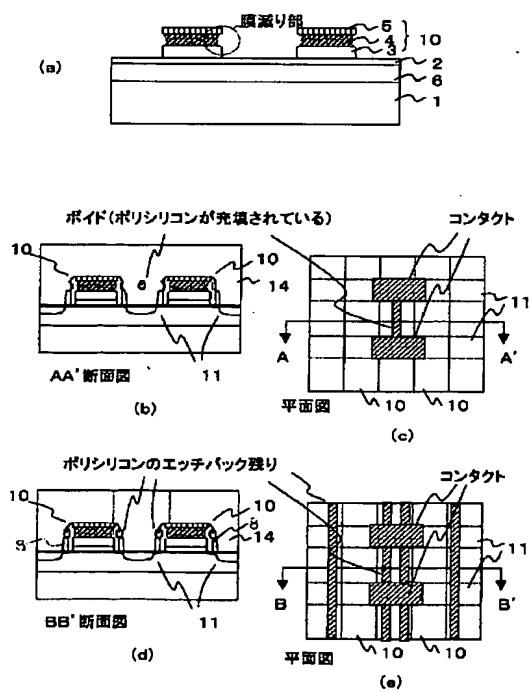
【図15】



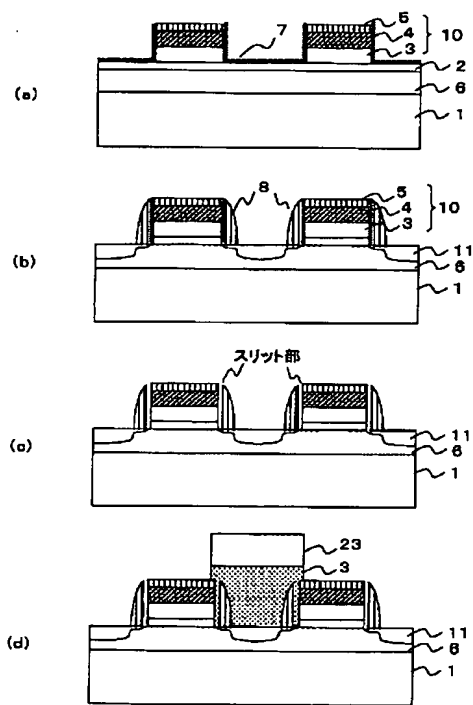
【図16】



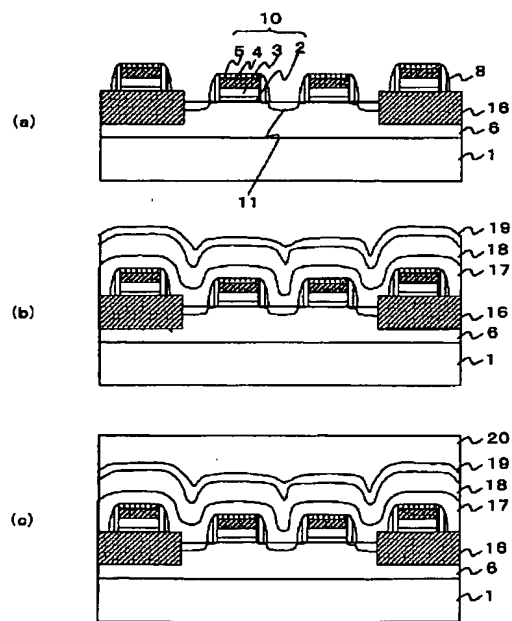
【図18】



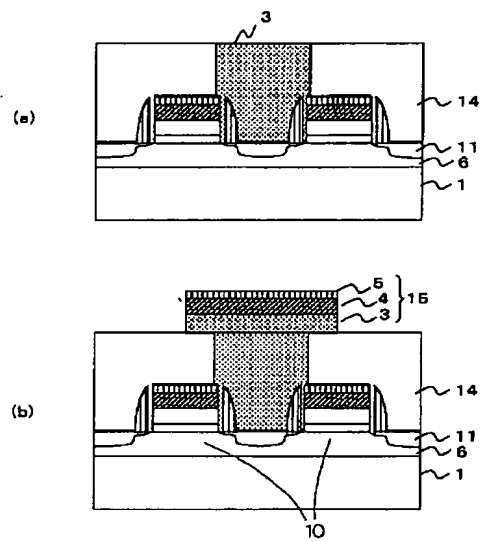
【図19】



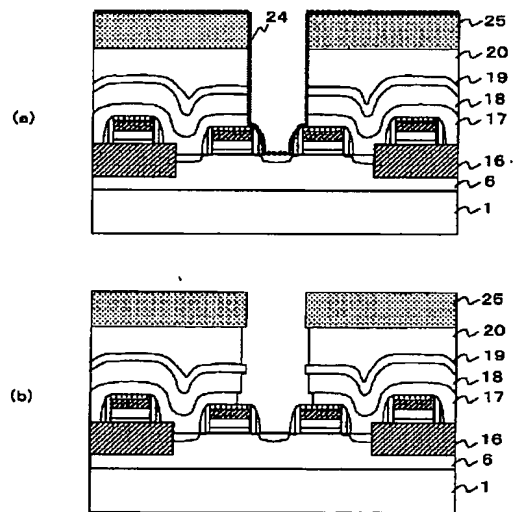
【図21】



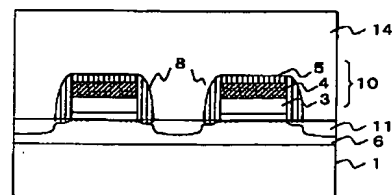
【図20】



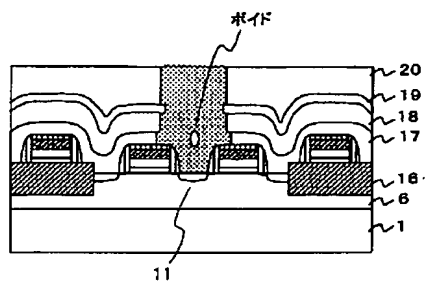
【図22】



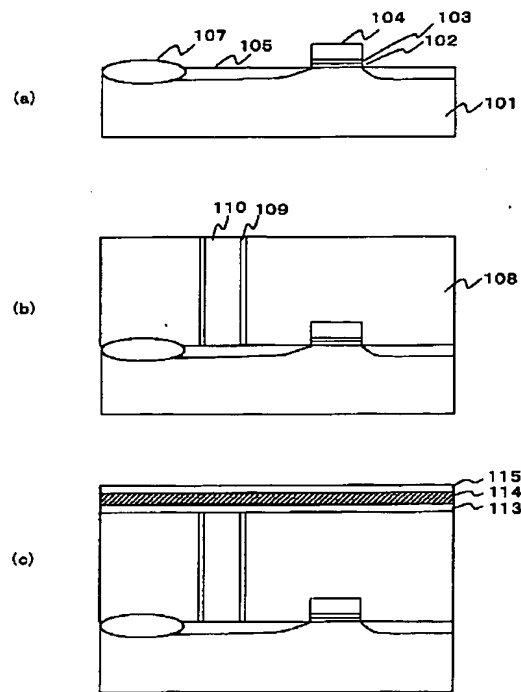
【図28】



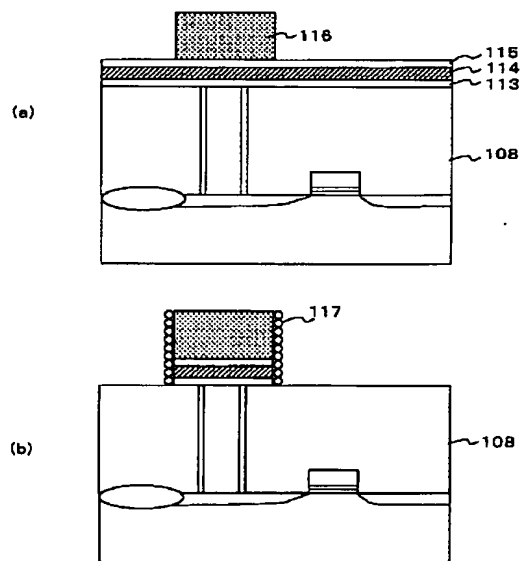
【図23】



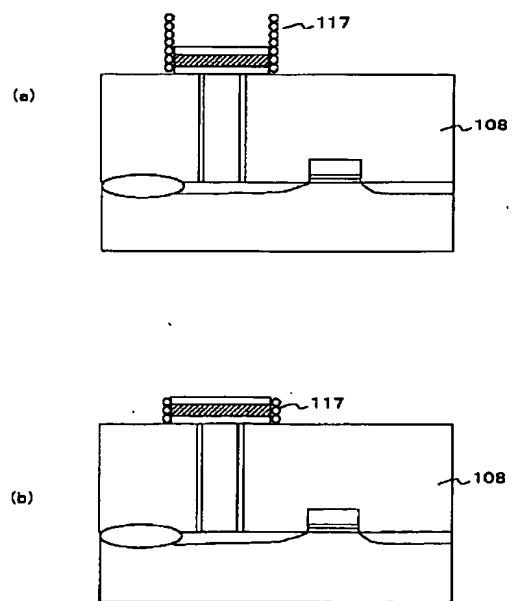
【図24】



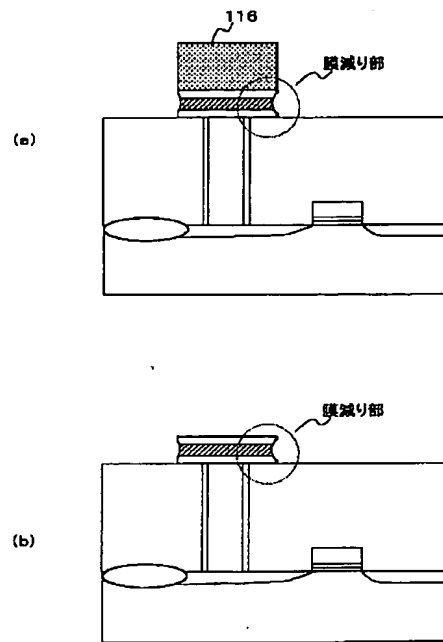
【図25】



【図26】



【図27】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/308

H 0 1 L 21/306

U

F ターム(参考) 3B201 AA03 AB01 BB02 BB82 BB83
 BB92 BB96 CB12
 5F004 AA09 AA11 CB14 CB18 DA00
 DA01 DA04 DA23 DA26 DB02
 DB17 EA06 EA07 EA10 EA21
 EB01 EB02 EB03
 5F043 AA37 BB03 BB18 BB25 BB27
 DD12 DD15 DD27 DD30 EE05
 GG04 GG10

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-223464

(43)Date of publication of application : 11.08.2000

(51)Int.Cl.

H01L 21/304
 B08B 3/08
 B08B 3/10
 H01L 21/3065
 H01L 21/306
 H01L 21/308

(21)Application number : 11-025315

(71)Applicant : NEC CORP

(22)Date of filing : 02.02.1999

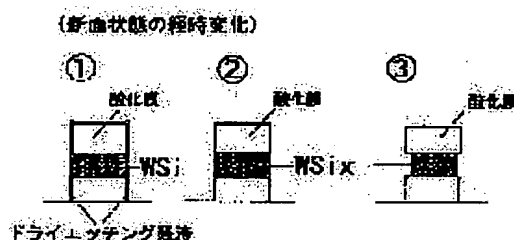
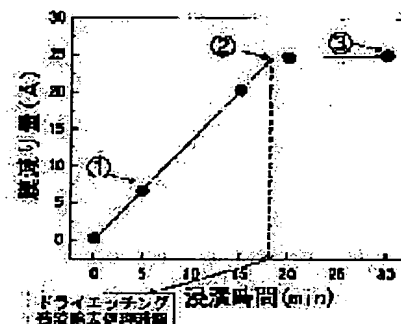
(72)Inventor : WAKE TOMOKO
 SAKO TAKASHI

(54) BOARD CLEANING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a cleaning method of a board, wherein deposit such as dry etching residue is practically and perfectly eliminated, while film reduction and modification of the surface of a film which is to be a substratum are prevented.

SOLUTION: When dry etching residue or the like is eliminated through wet treatment, wet treatment time t is determined on the basis of result of preliminary experiment using a dummy board. For film thickness of a test pattern region of the dummy board, the relation between immersion time and film reducing amount is plotted. When the etching residue of the test pattern region is eliminated, velocity of film reducing amount changes markedly. This time is determined as a wet treatment time t .



LEGAL STATUS

[Date of request for examination] 24.03.1999

[Date of sending the examiner's decision of rejection] 13.03.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The substrate washing approach which is the substrate washing approach removed by wet processing using a drug solution of the deposit (a) deposited on the front face of the film on a semi-conductor substrate (a), and is characterized by deciding on the time amount t which performs said wet processing by following step (A) - (C).

(A) Use the dummy substrate which has the component formation section and the test pattern section. After forming in this component formation section the film (a) and the film (b) which consists of the same ingredient substantially, On the front face of said component formation section and said test pattern section, with a deposit (a), substantially The same ingredient, Wet processing of a dummy substrate is substantially performed using the same drug solution with the (step B) aforementioned drug solution on which the deposit (b) of the same thickness is made to deposit. Under the present circumstances, the step which decides on the time amount t which performs said wet processing based on aging of the thickness of the (step C)

aforementioned test pattern section which measures aging of the thickness of the test pattern section [claim 2] The substrate washing approach which is the substrate washing approach that the wet processing using a drug solution removes the etch residue which adhered on the surface of the film (a) by carrying out dry etching of the film on a semi-conductor substrate (a), and is characterized by deciding on the time amount t which performs said wet processing by following step (A) - (C).

(A) Use the dummy substrate which has the component formation section and the test pattern section. After forming in this component formation section the film (a) and the film (b) which consists of the same ingredient substantially, Wet processing of a dummy substrate is substantially performed using the same drug solution with the (step B) aforementioned drug solution which performs membranous (b) dry etching on the same conditions as said dry etching. Under the present circumstances, the step which decides on the time amount t which performs said wet processing based on aging of the thickness of the (step C) aforementioned test pattern section which measures aging of the thickness of the test pattern section [claim 3] The substrate washing approach according to claim 2 characterized by using silicon oxide, a silicon nitride, or a silicon acid nitride as a mask in case dry etching of the film (a) and the film (b) is carried out.

[Claim 4] claim 1 characterized by finding time amount until the reduction rate of thickness changes substantially after wet processing initiation, and making this time amount into the time amount t which performs said wet processing in case it decides on the time amount t which performs said wet processing based on aging of the thickness of said test pattern section thru/or 3 -- the substrate washing approach given in either.

[Claim 5] claim 1 characterized by the film (a) and the film (b) containing the ingredient etched by said wet processing thru/or 4 -- the substrate washing approach given in either.

[Claim 6] claim 1 characterized by the film (a) and the film (b) containing two or more film with which the etching rates by said wet processing differ thru/or 5 -- the substrate washing approach given in either.

[Claim 7] claim 1 in which the film (a) and the film (b) contain the refractory metal film and the

polycrystalline silicon film thru/or 6 -- the substrate washing approach given in either.

[Claim 8] claim 1 characterized by the film (a) and the film (b) containing the ferroelectric film thru/or 7 -- the substrate washing approach given in either.

[Claim 9] Said ferroelectric film is the manufacture approach of the semiconductor device according to claim 8 characterized by being the metallic oxide which is chosen from strontium, titanium, barium, a zirconium, lead, a bismuth, and a tantalum, and which contains a kind at least.

[Claim 10] Said ferroelectric film is the manufacture approach of the semiconductor device according to claim 9 characterized by being one of the film chosen from BST, PZT, PLZT, SrBi₂Ta₂O₉, and the group that consists of Ta₂O₅.

[Claim 11] claim 1 characterized by using ammonia-hydrogen-peroxide-solution mixed liquor as processing liquid in case said wet processing is performed thru/or 10 -- the substrate washing approach given in either.

[Claim 12] claim 1 characterized by using acid liquid as processing liquid in case said wet processing is performed thru/or 10 -- the substrate washing approach given in either.

[Claim 13] claim 1 to which, as for said test pattern section, silicon oxide, a silicon nitride, or a silicon acid nitride is characterized by coming to be prepared on the front face thru/or 12 -- the substrate washing approach given in either.

[Claim 14] The first process which forms the gate electrode layer (a) containing the refractory metal film on a semi-conductor substrate, The second process which carries out patterning by carrying out dry etching of the gate electrode layer (a) using a mask, The third process which removes the etch residue which adhered to the front face of a gate electrode layer (a) by this dry etching by wet processing using a drug solution, The manufacture approach of the semiconductor device characterized by deciding on the time amount t which is the manufacture approach of a semiconductor device including the fourth process which forms an interlayer insulation film on a gate electrode layer (a), and performs said wet processing by following step (A) - (C).

(A) Use the dummy substrate which has the component formation section and the test pattern section. After forming the same gate electrode layer (b) in this component formation section substantially with a gate electrode layer (a), Wet processing of said dummy substrate is substantially carried out using the same drug solution with the (step B) aforementioned drug solution which carries out dry etching of the gate electrode layer (b) on the same conditions as the second process. Under the present circumstances, the step which decides on the time amount t which performs said wet processing based on aging of the thickness of the (step C) aforementioned test pattern section which measures aging of the thickness of the test pattern section [claim 15] The first process which forms the gate electrode layer (a) containing the refractory metal film on a semi-conductor substrate, The second process which forms the first gate electrode and the second gate electrode by carrying out dry etching of the gate electrode layer (a) using a mask, The third process which removes the etch residue which adhered to the front face of the first gate electrode and the second gate electrode by this dry etching by wet processing using a drug solution, The manufacture approach of the semiconductor device characterized by deciding on the time amount t which is the manufacture approach of a semiconductor device including the fourth process which forms an interlayer insulation film on the first gate electrode and the second gate electrode, and performs said wet processing by following step (A) - (C).

(A) Use the dummy substrate which has the component formation section and the test pattern section. After forming the same gate electrode layer (b) in this component formation section substantially with a gate electrode layer (a), Wet processing of said dummy substrate is substantially carried out using the same drug solution with the (step B) aforementioned drug solution which carries out dry etching of the gate electrode layer (b) on the same conditions as the second process. Under the present circumstances, the step which decides on the time amount t which performs said wet processing based on aging of the thickness of the (step C) aforementioned test pattern section which measures aging of the thickness of the test pattern section [claim 16] The first process which forms the gate electrode layer (a) containing the refractory metal film on a semi-conductor substrate, The second process which forms the first

gate electrode and the second gate electrode by carrying out dry etching of the gate electrode layer (a) using a mask, The third process which removes the etch residue which adhered to the front face of the first gate electrode and the second gate electrode by this dry etching by wet processing using a drug solution, The manufacture approach of the semiconductor device characterized by deciding on the time amount t which is the manufacture approach of a semiconductor device including the fourth process which forms the electric conduction film as the first gate electrode and the second gate electrode are straddled, and performs said wet processing by following step (A) – (C).

(A) Use the dummy substrate which has the component formation section and the test pattern section. After forming the same gate electrode layer (b) in this component formation section substantially with a gate electrode layer (a), Wet processing of said dummy substrate is substantially carried out using the same drug solution with the (step B) aforementioned drug solution which carries out dry etching of the gate electrode layer (b) on the same conditions as the second process. Under the present circumstances, the step which decides on the time amount t which performs said wet processing based on aging of the thickness of the (step C) aforementioned test pattern section which measures aging of the thickness of the test pattern section [claim 17] claim 14 characterized by said gate electrode layer (a) and said gate electrode layer (b) containing the ingredient etched by said wet processing thru/or 16 -- the manufacture approach of a semiconductor device given in either.

[Claim 18] claim 14 characterized by said gate electrode layer (a) and said gate electrode layer (b) coming to contain two or more film with which the etching rates by said wet processing differ thru/or 17 -- the manufacture approach of a semiconductor device given in either.

[Claim 19] claim 14 characterized by said gate electrode layer (a) and said gate electrode layer (b) containing the refractory metal film and the polycrystalline silicon film thru/or 18 -- the manufacture approach of a semiconductor device given in either.

[Claim 20] The first process which forms an interlayer insulation film (a) on a semi-conductor substrate, and the second process which carries out dry etching of the predetermined part of an interlayer insulation film (a) using a mask, and forms a connection hole, The third process which removes the etch residue which adhered to the front face of this connection hole by this dry etching by wet processing using a drug solution, The fourth process which embeds this connection hole with the electric conduction film is included. Said interlayer insulation film (a) The manufacture approach of the semiconductor device characterized by deciding on the time amount t which is the manufacture approach of the semiconductor device containing two or more film with which the etching rates by said wet processing differ, and performs said wet processing by following step (A) – (C).

(A) Use the dummy substrate which has the component formation section and the test pattern section. After forming the same interlayer insulation film (b) in this component formation section substantially with an interlayer insulation film (a), Dry etching of the predetermined part of an interlayer insulation film (b) is carried out on the same conditions as the second process. Wet processing of said dummy substrate is substantially carried out using the same drug solution with the (step B) aforementioned drug solution which forms a connection hole. Under the present circumstances, the step which decides on the time amount t which performs said wet processing based on aging of the thickness of the (step C) aforementioned test pattern section which measures aging of the thickness of the test pattern section [claim 21] The first process which forms the ferroelectric film (a) on a semi-conductor substrate, and the second process which carries out dry etching of the ferroelectric film (a) using a mask, It is the manufacture approach of a semiconductor device including the third process which removes the etch residue adhering to the front face of the ferroelectric film (a) by wet processing using a drug solution. The manufacture approach of the semiconductor device characterized by deciding on the time amount t which performs said wet processing by following step (A) – (C).

(A) Use the dummy substrate which has the component formation section and the test pattern section. After forming the same ferroelectric film (b) in this component formation section substantially with the ferroelectric film (a), Wet processing of said dummy substrate is substantially carried out using the same drug solution with the (step B) aforementioned drug

solution which carries out dry etching of the ferroelectric film (b) on the same conditions as the second process. Under the present circumstances, the step which decides on the time amount t which performs said wet processing based on aging of the thickness of the (step C)

forementioned test pattern section which measures aging of the thickness of the test pattern section [claim 22] The ferroelectric film (a) and the ferroelectric film (b) are the manufacture approach of the semiconductor device according to claim 21 characterized by being the metallic oxide which is chosen from strontium, titanium, barium, a zirconium, lead, a bismuth, and a tantalum, and which contains a kind at least.

[Claim 23] The ferroelectric film (a) and the ferroelectric film (b) are the manufacture approach of the semiconductor device according to claim 22 characterized by being one of the film chosen from BST, PZT, PLZT, SrBi₂Ta₂O₉, and the group that consists of Ta₂O₅.

[Claim 24] claim 14 characterized by using silicon oxide, a silicon nitride, or a silicon acid nitride as a mask in case said dry etching is performed thru/or 23 -- the manufacture approach of a semiconductor device given in either.

[Claim 25] claim 14 characterized by finding time amount until the reduction rate of thickness changes substantially after wet processing initiation, and making this time amount into the time amount t which performs said wet processing in case it decides on the time amount t which performs said wet processing based on aging of the thickness of said test pattern section thru/or 24 -- the substrate washing approach given in either.

[Claim 26] claim 14 characterized by using ammonia-hydrogen-peroxide-solution mixed liquor as processing liquid in case said wet processing is performed thru/or 25 -- the manufacture approach of a semiconductor device given in either.

[Claim 27] claim 14 characterized by using acid liquid as processing liquid in case said wet processing is performed thru/or 25 -- the manufacture approach of a semiconductor device given in either.

[Claim 28] claim 14 to which, as for said test pattern section, silicon oxide, a silicon nitride, or a silicon acid nitride is characterized by coming to be prepared on the front face thru/or 27 -- the manufacture approach of a semiconductor device given in either.

[Claim 29] The substrate washing approach which is the substrate washing approach of removing the deposit which was immersed in the penetrant remover and deposited the semi-conductor substrate on the semi-conductor substrate, and is characterized by deciding on washing time amount by measuring aging to the immersion time amount to said penetrant remover of the thickness which contains said deposit at least.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor device of having used the washing approach of removing in more detail the etch residue deposited on the semi-conductor substrate, without damaging the substrate film, and this washing approach, about the manufacture approach of a semiconductor device of having used the washing approach of a semi-conductor substrate, and this washing approach.

[0002]

[Description of the Prior Art] In case a semiconductor device is produced, the technique of etching a semi-conductor layer and a metal layer by dry etching is widely used at various processes. If dry etching is performed, generally the etch residue generated by the chemical reaction etching gas and for [etched] will arise. If it moves to the following process, with this etch residue left, nonconformity will arise for a component or it will have an adverse effect on a component property. Moreover, it becomes the cause which causes the cross contamination of semiconductor fabrication machines and equipment. For this reason, wet processing fully needs to remove an etch residue.

[0003] However, if wet processing is performed on the conditions which can fully remove an etch residue, substrate film, such as semi-conductor film and an oxide film, will be etched, or the problem of the front face of the substrate film deteriorating will be caused. Furthermore, if it etches by using the conventional photoresist as a mask with detailed-izing of a semiconductor device, the interior of a photoresist pattern will be deleted by the gas produced by etching, and the problem that it cannot etch into a desired configuration is also produced. This is because the gas produced by etching is confined in opening circles in the part where a photoresist is thick and opening is narrow. In order to avoid such a problem, a thin oxide film etc. is formed, after carrying out patterning of this, using a photoresist as a mask, a photoresist is removed, and etching as a mask the oxide film (henceforth a "hard surface mask blank") by which patterning was carried out is known.

[0004] Hereafter, the first conventional technique is explained with reference to drawing 16 -20. By carrying out dry etching of the gate electrode layer containing a refractory metal layer, this conventional technique forms the first and second gate electrodes, it forms the electric conduction film so that it may straddle on these gate electrodes, and it shows the example of the manufacture approach of a semiconductor device including the process which forms a bit line on it further.

[0005] the front face of the semi-conductor substrate 1 which consists of a p-form silicon single crystal as first shown in drawing 16 (a) -- p mold -- a well -- after forming a field 6 and the silicon oxide film 2, the polycrystalline silicon film 3, the WSi film 4, and silicon oxide 5 are formed with a CVD method, respectively. Subsequently, patterning of the photoresist 25 is carried out (drawing 16 (b)), and silicon oxide 5 is etched by using this photoresist as a mask.

[0006] after exfoliating a photoresist 25 with the mixed liquor (henceforth "SPM") of sulfuric-acid-hydrogen peroxide solution -- (-- drawing 16 (c)) and the silicon oxide 5 by which patterning was carried out are used as a mask, dry etching of the WSi film 4 and the

polycrystalline silicon film 3 is carried out, and the gate electrode 10 which serves as a word line is formed. Thus, the pattern made detailed can be formed in a precision by using the hard surface mask blank which consists of thin silicon oxide instead of a thick photoresist on the occasion of patterning of a gate electrode. The etch residue 7 which consists of a resultant of an etched object and etching gas etc. adheres on the side face of each gate electrode, and silicon oxide 5 after etching termination (drawing 17).

[0007] In order to remove this etch residue 7, wet processing (washing) is carried out using the mixed liquor (henceforth "APM") of ammonia hydrogen peroxide solution. Under the present circumstances, although it is necessary to take the longer processing time in order to remove an etch residue 7 thoroughly, at this time, as shown in drawing 18 (a), the dissolution of the side face of the WSi film progresses, and the film decrease section occurs. The etching rate to APM depends this on especially the WSi film 4 being expensive compared with the polycrystalline silicon film 3 or silicon oxide 5. When an interlayer insulation film 14 is formed in the part which such the film decrease section produced, a void may arise in an interlayer insulation film 14. This void is formed in parallel with the gate electrode 10 which serves as a word line (drawing 18 (b), (c)). Then, when a contact hole is formed and polycrystalline silicon 3 is embedded, this polycrystalline silicon 3 enters into a void, and makes between contiguity contacts short-circuit (drawing 18 (c)).

[0008] Moreover, polycrystalline silicon 3 is formed in the whole surface, and after carrying out patterning so that only a contact part may leave polycrystalline silicon 3, there is also the manufacture approach which forms an interlayer insulation film 14 (drawing 18 (d), (e)). By such manufacture approach, polycrystalline silicon 3 is embedded also in the crevice in the sidewall 8 which the film decrease section produced. Then, even if anisotropic etching removes the polycrystalline silicon 3 of fields other than contact, the polycrystalline silicon 3 of a crevice is thoroughly unremovable. The problem of this polycrystalline silicon 3 that remained making between contiguity contacts short-circuit arises (drawing 18 (e)).

[0009] If the wet processing time by APM is shortened in order to avoid such a problem, an etch residue 7 will remain and another problem will be produced. Drawing 19 (a) is drawing showing the condition that the etch residue 7 remained after wet processing. When a sidewall 8 is formed in this condition, an etch residue 7 will intervene a gate electrode layer and a sidewall between 8 (drawing 19 (b)). For this reason, in the wet processing after performing dry etching for sidewall formation, the etch residue 7 by which it was placed between the above-mentioned parts is also removed simultaneously, and a slit generates it (drawing 19 (c)). Therefore, when forming and carrying out patterning of the phosphorus dope polycrystalline silicon 3 to the whole surface (drawing 19 (d)), the phosphorus dope polycrystalline silicon 3 is embedded also in this slit section. Then, it becomes structure as shown in drawing 20 (a) by forming an interlayer insulation film 14 and carrying out flattening of the whole surface. When it becomes such structure, two adjoining gate electrode and bit line [which is formed at a subsequent process] 15 and gate electrode (word line) 10, or gate electrode (word line) 10 comrades will connect too hastily (drawing 20 (b)), and a component stops operating normally.

[0010] In order to solve the problem described above, it is necessary to determine the wet processing time as a precision. That is, it is necessary to grasp time amount required to remove the etch residue 7 in drawing 17 to accuracy. How to measure the thickness of the deposit of an etch residue 7 with time is also considered, for that, carrying out wet processing of the etch residue 7 of drawing 17 . However, it is difficult to apply to measuring directly the deposition thickness of the etch residue 7 which deposited this approach on the gate electrode 10 of drawing 17 , or the outskirts of it. For example, when the thickness measurement by measurement of the reflection factor of UV light widely used as a measuring method of thickness is applied to measurement of the deposition thickness of the etch residue 7 of drawing 17 , it becomes difficult with the surrounding surface irregularity of the gate electrode 10 to perform accurate measurement. As approaches other than UV reflection factor measurement, wet processing of the dummy substrate is carried out, appearance observation of clearance extent of an etch residue is carried out with time by SEM, and how to measure time amount required for clearance is also considered. However, by this approach, when taking time and effort, there is a

problem that it is difficult to judge the event of clearance of an etch residue being completed to accuracy. The appearance judging by SEM since the substrate film and an etch residue are the same construction material, a boundary does not become indefinite or the specific metal which can be analyzed does not exist, either, when the hard surface mask blank especially mentioned above is used becomes very difficult.

[0011] Next, the second conventional technique is explained with reference to drawing 21 -23. This conventional technique is the example of the manufacture approach of the semiconductor device equipped with the interlayer insulation film which consists of two or more film with which the etching rates to APM wet processing differ.

[0012] As first shown in drawing 21 (a), the gate electrode 10 which serves as a word line is formed on a silicon semi-conductor substrate. The gate electrode 10 consists of the polycrystalline silicon film 3, WSi film 4, and silicon oxide 5.

[0013] Next, as shown in drawing 21 (b), the silicon oxide film 17, the BPSG (Boro Phospho Silicate Glass) film 18, the BSG (Boro Silicate Glass) film 19, and the BPSG film 20 of a non dope are formed with a CVD method. Subsequently, etchback or chemical mechanical polish (Chemical Mechanical Polishing ;CMP) performs surface flattening (drawing 21 (c)).

[0014] Next, a photoresist 25 is used as a mask and the interlayer insulation film which consists of the silicon oxide film 17, the BPSG film 18, BSG film 19, and BPSG film 20 is etched. As etching gas, C₄H₈, and Ar and O₂ are used, for example. At this time, the etch residue 24 which consists of a resultant of an etched object and etching gas etc. adheres to the wall of a hole etc. (drawing 22 (a)).

[0015] In order to remove this etch residue 7, wet processing (washing) is carried out using APM. Here, the interlayer insulation film has structure in which two or more silicon oxide carried out the laminating, and each film has a different etching rate to APM. Although it is necessary to lengthen the wet processing time to some extent in order to remove an etch residue 24 thoroughly, irregularity arises in the wall of a contact hole according to the difference of the above-mentioned etching rate at this time. This condition is shown in drawing 22 (b).

[0016] Next, after forming the polycrystalline silicon film 3 with which Lynn was doped by the whole surface, flattening of the front face is carried out by CMP (drawing 23). In the case of membrane formation here of the polycrystalline silicon film 3, it originates in the irregularity produced in the contact hole wall, poor embedding happens, and the void shown in a contact plug at drawing 23 occurs. In order to avoid such a problem, if the wet processing time is shortened, an etch residue remains, and the problem of contact resistance with an impurity diffused layer 11 going up occurs.

[0017] Although the above is an example in the case of forming the contact plug over two gate electrodes, also when not forming a plug but only forming an interlayer insulation film, generating of a gate inter-electrode void may pose a problem.

[0018] Although it is necessary to determine the wet processing time as a precision in order to solve the problem described above, the method of judging the event of clearance of an etch residue being completed to accuracy as mentioned above is not found out in the actual condition.

[0019] Next, the third conventional technique is explained with reference to drawing 24 -27. This conventional technique is the example of the manufacture approach of the semiconductor device equipped with the capacitative element which makes the ferroelectric film a capacity insulator layer.

[0020] First, a MOS transistor is formed on a silicon substrate 101 like drawing 24 (a) using a well-known approach. Silicon oxide 102 is first formed by thermal oxidation. Subsequently, after forming contest 103 phosphorus dope polysilicon and WSi104 in this order, patterning of these is carried out and a gate electrode is formed. Next, an impurity diffused layer 105 is formed by the ion implantation, and MOSFET is completed.

[0021] Next, as shown in drawing 24 (b), after forming the silicon oxide (BPSG) 108 which contained boron as an interlayer insulation film with a CVD method, opening of the contact hole is carried out by etching, and the Ti film 109 and the tungsten film 110 are formed in this order in a hole. A tungsten plug is formed of the above.

[0022] After forming the capacity lower electrode layer 113 like drawing 24 (c) continuously, the PZT film 114 and the capacity up electrode layer 115 are formed in this order. For example, the capacity lower electrode layer 113 makes Pt/TiN/Ti and the capacity up electrode layer 115 the laminated structure of IrO₂/Ir. The PZT film is formed with a CVD method etc.

[0023] Next, a photoresist 116 is formed on the capacity up electrode layer 115 (drawing 25 (a)). Subsequently, dry etching of the capacity lower electrode layer 113, the PZT film 114, and the capacity up electrode layer 115 is carried out by using this photoresist 116 as a mask, and it considers as a predetermined configuration (drawing 25 (b)). At this time, an etch residue 117 adheres to the side attachment wall of dielectric capacity. This etch residue 117 consists of a resultant of a photoresist ingredient, a ferroelectric film ingredient, the upper part, a lower electrode material, and the etching gas and the ferroelectric film ingredient that were etched etc.

[0024] If a photoresist 116 is removed here using resist exfoliation liquid, like drawing 26 (a), the side face of the capacity lower electrode layer 113 is contacted, and the etch residue 117 prolonged up remains. If processing by the physical / mechanical approach for removing this etch residue 117 is performed, only the part which projected up breaks and it will be in the condition that the etch residue 117 remained on the side face of a capacitive element like drawing 26 (b). When it comes to such a condition, a lower electrode and an up electrode are connected electrically and the function as a capacitive element is spoiled.

[0025] In order to avoid such a problem, washing usually removes an etch residue 117. The process which added this washing process is explained with reference to drawing 26 and 27.

[0026] Drawing 26 (b) shows the condition that the etch residue 117 adhered to the capacitive element side attachment wall. In this condition, when immersion etc. makes a substrate the mixed liquor of a hydrochloric acid, the mixed liquor of water and fluoric acid, and a nitric acid, it washes. Thereby, like drawing 27 (a), an etch residue 117 dissolves and is removed. However, since these penetrant removers also dissolve the PZT film, the dissolution advances from the outcrop of the PZT film and they occurs [the film decrease section] like drawing 27 (a).

[0027] If a ferroelectric is greatly dependent on a presentation, thickness, etc. and the property dissolves it by wet processing, a property will change a lot. When it considers as the ferroelectric film of plural systems like especially the PZT film, it is easy to dissolve some elements so much, and easy to produce presentation change. In the conventional technique, the property of the ferroelectric film changed with such presentation change a lot, and there was a problem that a component property deteriorated (drawing 27 (a), (b)).

[0028] Moreover, if the thickness of the ferroelectric film changes with washing, the problem that the yield falls will also be produced. Therefore, in order to wash without degrading the property of the ferroelectric film, it is required to wash without suppressing the corrosion of the film by the drug solution to the minimum, and changing the condition of a presentation or a front face.

[0029] Moreover, since a ferroelectric ingredient had the high reactivity over a chemical, when the long wet processing time was taken, the component of processing liquid might stick to the ferroelectric film front face, the surface state might change, and the property of the ferroelectric film etc. might deteriorate.

[0030]

[Problem(s) to be Solved by the Invention] This invention is made in order to solve the various technical problems mentioned above, it optimizes the wet processing time, and it makes it a technical problem to offer the approach of removing deposits, such as dry etching residue, thoroughly substantially, preventing deterioration of film decrease of the film used as a substrate and a front face.

[0031]

[Means for Solving the Problem] According to this invention which solves the above-mentioned technical problem, it is the substrate washing approach removed by wet processing using a drug solution of the deposit (a) deposited on the front face of the film on a semi-conductor substrate (a), and the substrate washing approach characterized by deciding on the time amount t which performs said wet processing by following step (A) – (C) is offered.

(A) Use the dummy substrate which has the component formation section and the test pattern

section. After forming in this component formation section the film (a) and the film (b) which consists of the same ingredient substantially, Wet processing of a dummy substrate is performed on the front face using the same drug solution as a deposit (a) substantially as the same ingredient and the (step B) aforementioned drug solution which deposits the deposit (b) of the same thickness. Under the present circumstances, according to the step and this invention which decide on the time amount t which performs said wet processing based on aging of the thickness of the (step C) aforementioned test pattern section which measures aging of the thickness of the test pattern section The etch residue which adhered on the surface of the film (a) by carrying out dry etching of the film on a semi-conductor substrate (a) It is the substrate washing approach removed by wet processing using a drug solution, and the substrate washing approach characterized by deciding on the time amount t which performs said wet processing by following step (A) – (C) is offered.

(A) Use the dummy substrate which has the component formation section and the test pattern section. After forming in this component formation section the film (a) and the film (b) which consists of the same ingredient substantially, Wet processing of a dummy substrate is substantially performed using the same drug solution with the (step B) aforementioned drug solution which performs membranous (b) dry etching on the same conditions as said dry etching. Under the present circumstances, according to the step and this invention which decide on the time amount t which performs said wet processing based on aging of the thickness of the (step C) aforementioned test pattern section which measures aging of the thickness of the test pattern section It is the substrate washing approach of removing the deposit which was immersed in the penetrant remover and deposited the semi-conductor substrate on the semi-conductor substrate. The substrate washing approach characterized by deciding on washing time amount is offered by measuring aging to the immersion time amount to said penetrant remover of the thickness which contains said deposit at least.

[0032] These substrate washing approaches have decided on the time amount t which performs wet processing based on the thickness measurement using a dummy substrate.

[0033] When dry etching of the film of a component field is carried out, an etch residue accumulates not only on a component field but on the test pattern section. Here, according to examination of this invention person, it became clear that the deposition thickness of a component field and the deposition thickness of the test pattern section become almost the same. This invention is made based on such knowledge.

[0034] As mentioned above, it is difficult to measure directly the thickness of the etch residue deposited on the component field. Then, this invention determines the wet processing time as accuracy by measuring the thickness of the etch residue deposited on the test pattern section instead of a component field.

[0035] The deposit or etch residue of the same ingredient and the same thickness has adhered to the component formation section and the test pattern section of a dummy substrate, respectively. Therefore, when wet processing of the wafer including these fields is carried out, clearance of an etch residue is simultaneously completed in the test pattern section and a component field. In the test pattern section, clearance of an etch residue advances the dissolution of a substrate layer shortly. However, an etch residue differs in the reduction rate of the thickness by the above-mentioned wet processing from a substrate layer. Generally, the direction of an etch residue is etched more quickly. Therefore, if the thickness change in the test pattern section is measured with time and the relation between the wet processing time and thickness is investigated, the event of clearance of an etch residue being completed can be grasped to accuracy. By setting the wet processing time to t with this event, deposits, such as dry etching residue, are thoroughly removable substantially, preventing deterioration of film decrease of the film used as a substrate and a front face.

[0036] Since this invention determines the optimal wet processing time as accuracy by the above principles, it is desirable that the film (b) is not formed in a test pattern section front face. Since a test pattern section front face serves as a substrate layer, the event of clearance of an etch residue being completed can be grasped more to accuracy by doing in this way.

[0037] Furthermore, according to this invention, the manufacture approach of each following

semiconductor device of having applied the substrate washing approach mentioned above is offered. According to the manufacture approach of these semiconductor devices, deposits, such as dry etching residue, can be removed thoroughly substantially, preventing deterioration of film decrease of the film used as a substrate and a front face for the reason same with having mentioned above, and the semiconductor device of high quality is offered.

[0038] Namely, the first process which forms the gate electrode layer (a) containing the refractory metal film on a semi-conductor substrate according to this invention, The second process which carries out patterning by carrying out dry etching of the gate electrode layer (a) using a mask, The third process which removes the etch residue which adhered to the front face of a gate electrode layer (a) by this dry etching by wet processing using a drug solution, It is the manufacture approach of a semiconductor device including the fourth process which forms an interlayer insulation film on a gate electrode layer (a), and the manufacture approach of the semiconductor device characterized by deciding on the time amount t which performs said wet processing by following step (A) – (C) is offered.

(A) Use the dummy substrate which has the component formation section and the test pattern section. After forming the same gate electrode layer (b) in this component formation section substantially with a gate electrode layer (a), Wet processing of said dummy substrate is substantially carried out using the same drug solution with the (step B) aforementioned drug solution which carries out dry etching of the gate electrode layer (b) on the same conditions as the second process. Under the present circumstances, according to the step and this invention which decide on the time amount t which performs said wet processing based on aging of the thickness of the (step C) aforementioned test pattern section which measures aging of the thickness of the test pattern section The first process which forms the gate electrode layer (a) containing the refractory metal film on a semi-conductor substrate, The second process which forms the first gate electrode and the second gate electrode by carrying out dry etching of the gate electrode layer (a) using a mask, The third process which removes the etch residue which adhered to the front face of the first gate electrode and the second gate electrode by this dry etching by wet processing using a drug solution, It is the manufacture approach of a semiconductor device including the fourth process which forms an interlayer insulation film on the first gate electrode and the second gate electrode, and the manufacture approach of the semiconductor device characterized by deciding on the time amount t which performs said wet processing by following step (A) – (C) is offered.

(A) Use the dummy substrate which has the component formation section and the test pattern section. After forming the same gate electrode layer (b) in this component formation section substantially with a gate electrode layer (a), Wet processing of said dummy substrate is substantially carried out using the same drug solution with the (step B) aforementioned drug solution which carries out dry etching of the gate electrode layer (b) on the same conditions as the second process. Under the present circumstances, according to the step and this invention which decide on the time amount t which performs said wet processing based on aging of the thickness of the (step C) aforementioned test pattern section which measures aging of the thickness of the test pattern section The first process which forms the gate electrode layer (a) containing the refractory metal film on a semi-conductor substrate, The second process which forms the first gate electrode and the second gate electrode by carrying out dry etching of the gate electrode layer (a) using a mask, The third process which removes the etch residue which adhered to the front face of the first gate electrode and the second gate electrode by this dry etching by wet processing using a drug solution, As the first gate electrode and the second gate electrode are straddled, it is the manufacture approach of a semiconductor device including the fourth process which forms the electric conduction film, and the manufacture approach of the semiconductor device characterized by deciding on the time amount t which performs said wet processing by following step (A) – (C) is offered.

(A) Use the dummy substrate which has the component formation section and the test pattern section. After forming the same gate electrode layer (b) in this component formation section substantially with a gate electrode layer (a), Wet processing of said dummy substrate is substantially carried out using the same drug solution with the (step B) aforementioned drug

solution which carries out dry etching of the gate electrode layer (b) on the same conditions as the second process. under the present circumstances, the step (C) which measures aging of the thickness of the test pattern section -- the step which decides on the time amount t which performs said wet processing based on aging of the thickness of said test pattern section -- according to the manufacture approach of the semiconductor device of these Since the wet processing time is determined the optimal, side etching of the gate electrode layer is carried out by wet processing, and it can prevent that film decrease takes place. When especially a gate electrode layer is multilayer structure, generating of the irregularity of the lateral portion by side etching can be inhibited effectively, and the poor embedding in the embedding process of a subsequent insulator layer or the electric conduction film can be prevented.

[0039] In addition, in the manufacture approach of this semiconductor device, it is desirable that the gate electrode layer (b) is not formed in a test pattern section front face. Since a test pattern section front face serves as a substrate layer at the time of wet processing, the event of clearance of an etch residue being completed can be grasped more to accuracy by doing in this way.

[0040] Moreover, the first process which forms an interlayer insulation film (a) on a semiconductor substrate according to this invention, The second process which carries out dry etching of the predetermined part of an interlayer insulation film (a) using a mask, and forms a connection hole, The third process which removes the etch residue which adhered to the front face of this connection hole by this dry etching by wet processing using a drug solution, The fourth process which embeds this connection hole with the electric conduction film is included. Said interlayer insulation film (a) It is the manufacture approach of the semiconductor device containing two or more film with which the etching rates by said wet processing differ, and the manufacture approach of the semiconductor device characterized by deciding on the time amount t which performs said wet processing by following step (A) - (C) is offered.

(A) Use the dummy substrate which has the component formation section and the test pattern section. After forming the same interlayer insulation film (b) in this component formation section substantially with an interlayer insulation film (a), Dry etching of the predetermined part of an interlayer insulation film (b) is carried out on the same conditions as the second process. Wet processing of said dummy substrate is substantially carried out using the same drug solution with the (step B) aforementioned drug solution which forms a connection hole. Under the present circumstances, according to the manufacture approach of the semiconductor device of step ** which decides on the time amount t which performs said wet processing based on aging of the thickness of the (step C) aforementioned test pattern section which measures aging of the thickness of the test pattern section Since the wet processing time is determined the optimal, an interlayer insulation film is superfluously etched by wet processing, and it can inhibit effectively that irregularity occurs in the wall of a connection hole. Therefore, the poor embedding in the embedding process of the subsequent electric conduction film can be prevented effectively.

[0041] In addition, in the manufacture approach of this semiconductor device, it is desirable that the interlayer insulation film (b) is not formed in a test pattern section front face. Since a test pattern section front face serves as a substrate layer at the time of wet processing, the event of clearance of an etch residue being completed can be grasped more to accuracy by doing in this way.

[0042] Moreover, the first process which forms the ferroelectric film (a) on a semi-conductor substrate according to this invention, The second process which carries out dry etching of the ferroelectric film (a) using a mask, It is the manufacture approach of a semiconductor device including the third process which removes the etch residue adhering to the front face of the ferroelectric film (a) by wet processing using a drug solution. The manufacture approach of the semiconductor device characterized by deciding on the time amount t which performs said wet processing by following step (A) - (C) is offered.

(A) Use the dummy substrate which has the component formation section and the test pattern section. After forming the same ferroelectric film (b) in this component formation section substantially with the ferroelectric film (a), Wet processing of said dummy substrate is

substantially carried out using the same drug solution with the (step B) aforementioned drug solution which carries out dry etching of the ferroelectric film (b) on the same conditions as the second process. Under the present circumstances, the semiconductor device in the manufacture approach of the semiconductor device of step ** which decides on the time amount t which performs said wet processing based on aging of the thickness of the (step C) aforementioned test pattern section which measures aging of the thickness of the test pattern section. For example, the capacitor which makes the above-mentioned ferroelectric a capacity insulator layer is said. Since the wet processing time is determined the optimal according to the manufacture approach of this semiconductor device, the ferroelectric film can prevent being superfluously etched by wet processing effectively. Thereby, the dissolution of the ferroelectric film, presentation change, and surface deterioration can be suppressed, and lowering of the property of the ferroelectric film by these can be prevented. Moreover, change of the thickness of the ferroelectric film by washing can be suppressed, and lowering of the yield can be prevented.

[0043] In addition, in the manufacture approach of this semiconductor device, it is desirable that the ferroelectric film (b) is not formed in a test pattern section front face. Since a test pattern section front face serves as a substrate layer at the time of wet processing, the event of clearance of an etch residue being completed can be grasped more to accuracy by doing in this way.

[0044]

[Embodiment of the Invention] In this invention, it decides on the time amount t which performs wet processing based on aging of the thickness of the test pattern section. For example, time amount until the reduction rate of thickness changes substantially is found after wet processing initiation, and let this time amount be the time amount t which performs wet processing. Since the etching rates of the dry etching residue by wet processing and its substrate film differ notably, they can judge the event of clearance of deposits, such as dry etching residue, being completed to accuracy by the above-mentioned approach.

[0045] In this invention, membranes are formed at the same process or a semiconductor device and a dummy substrate are etched, are the step of (B) and perform wet processing of a dummy substrate using the same drug solution substantially with the drug solution used in the case of actual substrate washing or manufacture of a semiconductor device. Although it is referred to as "being the same drug solution substantially" that a presentation, solution temperature, etc. are substantially the same, even if these differ, what can be amended with a formula etc. is contained in the difference. Moreover, as for the wet processing in the case of actual substrate washing or manufacture of a semiconductor device, and wet processing of a dummy wafer, it is desirable to carry out on the same conditions.

[0046] In this invention, although there is no definition especially about the processing liquid which performs wet processing, what can remove dry etching residue effectively is used preferably. For example, ammonia-hydrogen-peroxide-solution mixed liquor etc. is used. Moreover, it is desirable to use with a pH of less than seven acid liquid as processing liquid in the wet processing after the dry etching of the ferroelectric film especially. It is because an etch residue is effectively removable. In this case, pH range is more preferably made or less into four five or less.

[0047] In this invention, a dummy substrate has the component formation section and the test pattern section. The component formation section means the part which forms a component actually. A transistor formation part, a contact formation part besides the formation part of a capacitor, etc. are included. The test pattern section means the part for the thickness measurement prepared in parts other than the component formation section. Moreover, the test pattern section may be used for another component formation sections, such as wiring and contact, at a next process. The test pattern section is formed in a flat field required to measure using the ERIPUSO metric method etc. It may be prepared in the part which is a flat part on an interlayer insulation film, and adjoins the component formation section. As for the test pattern section, it is desirable to have the area more than 20 micrometer**. Measurement of thickness becomes easy by doing in this way. Moreover, since the test pattern section requires that residue comparable as the component formation section should have accumulated, it is desirable

that it is close to the component formation section, and it is desirable to prepare the test pattern section in a different part on a wafer, to perform thickness measurement by several places, and to take an average. By doing in this way, a thickness measurement value becomes more exact and it can decide on time amount required for wet processing as accuracy more. For example, if the test pattern section is prepared on a scribe line, such measurement can be performed easily.

[0048] Drawing 1 is drawing showing an example of a dummy wafer. On the wafer 50, it has the component field 51 containing the component formation section, and the scribe line 52. The test pattern section is prepared in the flat field which adjoins the component formation section in the scribe line 52 top, the empty field of a wafer periphery, or the component formation field 51.

[0049] As for the test pattern section, it is desirable to come to prepare the same film as having been formed in the component formation section, for example, silicon oxide, a silicon nitride, or a silicon acid nitride in the front face. By doing in this way, it is because the event of clearance of dry etching residue being completed becomes the component formation section and equivalence. For example, it is desirable to consider as the cross-section structure which consists of a silicon substrate, and the natural oxidation film or gate oxide formed on it.

[0050] In the substrate washing approach of this invention, in case dry etching is carried out, it is desirable to use silicon oxide, a silicon nitride, or a silicon acid nitride as a mask. It is because the pattern made detailed by using such a hard surface mask blank can be formed in a precision. Especially with the conventional technique, when such a mask is used, although it was difficult to judge the completion event of wet processing, according to this invention, this difficulty can be canceled and the advantage of the above-mentioned hard surface mask blank can be made use of.

[0051] In this invention, when the film (a), (b), or a gate electrode layer (a) and (b) are a thing containing the ingredient etched by wet processing, the effectiveness of this invention is demonstrated more notably. However, even if it is not such an ingredient, for example, even if a front face causes deterioration etc. by wet processing, the approach of this invention is effective. It is because this invention is what suppresses breakage on the substrate film to the minimum by deciding on the optimal time amount for wet processing as accuracy.

[0052] Moreover, in this invention, when the film (a), (b), or a gate electrode layer (a) and (b) come to contain two or more film with which the etching rates by wet processing differ, the effectiveness of this invention is demonstrated notably. As such an example, the configuration whose above-mentioned film or gate electrode layer comes to contain the refractory metal film and the polycrystalline silicon film is mentioned. In this case, since the time amount which clearance of dry etching residue etc. completes can be grasped to accuracy according to this invention although irregularity will occur in the above-mentioned film or a gate electrode layer if wet processing is performed superfluously, it is not necessary to perform wet processing superfluously, and the above-mentioned problem can be solved.

[0053] Furthermore, in the substrate washing approach of this invention, also when it is that in which the film (a) and (b) contain the ferroelectric film, the effectiveness of this invention is demonstrated notably. It is because according to this invention the wet processing time is optimized, so the dissolution and surface deterioration of the ferroelectric film can be effectively prevented although the property changes a lot if the property depends for a ferroelectric on a presentation, thickness, etc. greatly, it dissolves by wet processing or a surface state changes.

[0054] A ferroelectric has spontaneous polarization and means an ingredient with the property in which it is reversed by electric field here. The metallic oxide which has a perovskite structure typically can be mentioned.

[0055] The ferroelectric film in this invention means a with a specific inductive capacity of ten or more metal oxide film. Among these, it is desirable that it is the oxide which is chosen from strontium, titanium, barium, a zirconium, lead, a bismuth, and a tantalum and which contains a kind at least. specifically, it is desirable that it is the film which consists of perovskite system ingredients, such as BST ($\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$), PZT ($\text{Pb}_{1-x}\text{Zr}_x\text{TiO}_3$), PLZT ($\text{Pb}_{1-y}\text{La}_y\text{Zr}_x\text{Ti}_{1-x}\text{O}_3$), and $\text{SrBi}_2\text{Ta}_2\text{O}_9$, (here — the above-mentioned compound — it is $0 < x \leq 1$ and $0 < y < 1$ about all.). Moreover, Ta_2O_5 etc. can also be used. When such an ingredient is chosen, the

effectiveness of this invention is demonstrated more notably. That is, when these ingredients were applied to a capacitive element, while big storage capacitance was obtained, it had the technical problem that it was difficult to remove an etch residue, suppressing film decrease and property degradation of the ferroelectric film. By the approach of this invention, since this technical problem is solved, the property which was excellent in the above-mentioned ingredient can fully be harnessed.

[0056] In this invention, especially the membrane formation approach of the ferroelectric film is not limited. For example, in the case of the PZT film, membranes can be formed by well-known approaches, such as a sol gel process, a spatter, and a CVD method.

[0057]

[Example] (Example 1) By carrying out dry etching of the gate electrode layer containing a refractory metal layer, this example forms the first and second gate electrodes, it forms the electric conduction film so that it may straddle on these gate electrodes, and it shows the example which manufactures a semiconductor device through the process which forms a bit line on it further. Although wet processing removes dry etching residue after carrying out dry etching of the gate electrode layer, it becomes important to decide on the time amount t which performs this wet processing as a precision. So, in this example, first, using the dummy substrate, the same process as the production process of a actual component was carried out, and the wet processing time was determined as follows at that time.

[0058] (Decision of the wet processing time) the front face of the semi-conductor substrate 1 which consists of a p-form silicon single crystal as first shown in drawing 2 (a) -- p mold -- a well -- after forming the field 6 and forming the silicon oxide film 2 (9nm of thickness) by thermal oxidation processing, the polycrystalline silicon film 3 (70nm of thickness), the WSi film 4 (150nm of thickness), and silicon oxide 5 (200nm of thickness) were formed with the CVD method on it, respectively. Next, as shown in drawing 2 (b), after forming a photoresist 25 on silicon oxide 5, silicon oxide 5 was etched like drawing 2 (c) by making this into a mask. Then, the photoresist 25 was exfoliated in SPM.

[0059] Next, the silicon oxide 5 by which patterning was carried out was used as the mask, dry etching of the WSi film 4 and the polycrystalline silicon film 3 was carried out on the same etching conditions, and the gate electrode 10 which serves as a word line was formed. At this time, also about the test pattern field prepared on the scribe line, dry etching was performed to coincidence by using as a mask the silicon oxide 5 by which patterning was carried out, silicon oxide 2 was exposed to it, and the test pattern section was formed in it. In addition, although silicon oxide 2 was exposed on the test pattern section front face in this example, a test pattern section front face may be silicon oxide 5, and you may be the film (nitride etc.) with which an etch residue differs from an etch rate.

[0060] In the above-mentioned dry etching, the gas containing Cl and CF₄ was used as etching gas. At this time, the etch residue 7 which consists of a resultant of an etched object and etching gas etc. adhered on the side face of each gate electrode, silicon oxide 5, and the test pattern section (drawing 3 (a), (b)).

[0061] In order to remove this etch residue 7, wet processing (washing) was carried out using the mixed liquor (henceforth "APM") of ammonia hydrogen peroxide solution. Temperature of liquid was made into 35 degrees C when [in which it is based on APM] carrying out wet processing.

[0062] APM shows strong solubility especially to WSi. For this reason, it is necessary to make time amount of the above-mentioned wet processing into the necessary minimum time amount for removing an etch residue. So, in this example, the wet processing time was determined by measuring aging of the thickness in the test pattern section of a dummy substrate.

[0063] An etch residue 7 is deposited on the test pattern section as well as a component field (drawing 3 (b)). Here, a gate electrode 10 side-face [of a component field], and silicon oxide 2 top, the thickness which an etch residue 7 deposits is with the silicon oxide 2 top of the test pattern section, and becomes almost the same. Therefore, when immersed in the washing tub for wet processing, clearance of an etch residue completes a wafer including these fields simultaneously in the test pattern section and a component field. In the test pattern section,

clearance of an etch residue 7 advances the dissolution of the silicon oxide 2 of a substrate shortly. However, by the etch residue 7 and silicon oxide 2, the dissolution rates by APM differ notably and the dissolution progresses [the direction of an etch residue 7] quickly. Therefore, if the thickness change by APM wet processing is measured with time in the test pattern section, when clearance of an etch residue is completed and the silicon oxide 2 of a substrate is exposed, the reduction rate of thickness will change notably. This situation is shown in drawing 6 . Drawing 6 is drawing showing the relation between the wet processing time by APM, and the behavior of thickness change of the test pattern section. The thickness of the test pattern section was measured by optical approaches, such as the ERIPUSO metric method. In addition, when measuring by the ERIPUSO metric method, thickness including the thickness of not only residue but a substrate is usually measured. As shown all over drawing, it turns out that the reduction rate of thickness was changing as of 18 minutes, and clearance of an etch residue was completed at this event. By the above, the wet processing time was determined as 18 minutes. [0064] (Production of a component) Production of a component was performed after determining the wet processing time as mentioned above.

[0065] Drawing 2 and the same process as the process shown in 3 were carried out first. The test pattern section has not prepared. Next, wet processing (washing) by APM was performed. The wet processing time was made into 18 minutes determined as mentioned above. The condition after washing is shown in drawing 4 .

[0066] Next, the insulator layer which becomes the side attachment wall of a gate electrode from the thin silicon oxide film etc. was formed by performing thermal oxidation processing to the semi-conductor substrate 1 (un-illustrating). It continued, and after carrying out the ion implantation of Lynn to the whole surface and making it it carry out thermal diffusion, the membrane formation and anisotropic etching by the CVD method were boiled, and 8 was formed more in the side attachment wall of a gate electrode for the sidewall. Subsequently, the impurity diffused layer 11 of LDD (LightlyDoped Drain) structure was formed by carrying out the ion implantation of the high-concentration arsenic, and carrying out thermal diffusion rather than above mentioned Lynn.

[0067] After forming and carrying out patterning of the polycrystalline silicon film 3 besides (drawing 5 (a)), the interlayer insulation film 14 was formed and flattening of that front face was carried out by CMP (drawing 5 (b)). As for flattening, it is desirable for etchback to be also able to perform, and to make a sidewall 8 and silicon oxide 5 into a nitride in this case, or to secure an etching ratio with a bonnet and an interlayer insulation film by the nitride. Furthermore, on it, after forming the polycrystalline silicon film 3 (70nm of thickness), the WSi film 4 (150nm of thickness), and silicon oxide 5 (200nm of thickness) with a CVD method, respectively, patterning was carried out by dry etching and the bit line 15 was formed (drawing 5 (c)).

[0068] When the cross-section structure of the semiconductor device produced as mentioned above was observed with the scanning electron microscope, it was checked that the component of a good configuration without generating of a void or generating of the slit of a gate electrode side face is formed.

[0069] In addition, although this example showed the case where the contact plug over two gate electrodes was formed, also when not forming a plug but only forming an interlayer insulation film, the approach of this example can form the good semiconductor device which is effective, and an etch residue like drawing 28 does not remain, and does not have poor embedding.

[0070] (Example 2) When removing the etch residue 7 by APM wet processing in the process of drawing 2 -3, temperature of APM was made into 45 degrees C, except having changed the wet processing time, like the example 1, the wet processing time was determined and the semiconductor device was produced.

[0071] Drawing 7 is drawing showing the relation of the wet processing time by APM and the behavior of thickness change of the test pattern section in this example. As shown all over drawing, it turns out that the reduction rate of thickness was changing as of 7 minutes, and clearance of an etch residue was completed at this event. By the above, when the temperature of an APM penetrant remover was raised, the etch rate became quick, and the wet processing time was determined as 7 minutes.

[0072] When the cross-section structure of the semiconductor device produced as mentioned above was observed with the scanning electron microscope, it was checked that the component of a good configuration without generating of a void or generating of the slit of a gate electrode side face is formed.

[0073] (Example 3) This example is an example applied to the manufacture approach of the semiconductor device equipped with the interlayer insulation film which consists the decision approach of the wet processing time of having used the dummy substrate of two or more film, with which the etching rates to wet processing differ.

[0074] Although APM wet processing has removed dry etching residue in this example after carrying out dry etching of the interlayer insulation film and forming a contact hole, it becomes important to decide on the time amount t which performs this wet processing as a precision. It is because the interlayer insulation film of this example consists of two or more film with which the etching rates to APM wet processing differ, so irregularity will arise in the wall of a contact hole and the poor embedding of a hole will be caused, if the wet processing time is lengthened.

[0075] So, in this example, first, using the dummy substrate, the same process as the production process of a actual component was carried out, and the wet processing time was determined as follows at that time.

[0076] (Decision of the wet processing time) The decision process of the wet processing time using a dummy substrate is explained with reference to drawing 8 -10.

[0077] As first shown in drawing 8 (a), the gate electrode 10 which serves as a word line is formed on a silicon semi-conductor substrate. Hereafter, the outline of a process until it results in this condition is explained. The field insulator layer 16 was formed in the front face of the semi-conductor substrate 1 which consists of a p-form silicon single crystal first by selective oxidation. next, Lynn -- an ion implantation -- carrying out -- p mold -- a well -- the field 6 was formed. After forming the silicon oxide film 2 (9nm of thickness) by thermal oxidation processing continuously, the polycrystalline silicon film 3 (70nm of thickness), the WSi film 4 (150nm of thickness), silicon oxide 5 (200nm of thickness), and a silicon nitride (un-illustrating) were formed with the CVD method on it, respectively. Next, after forming a photoresist (un-illustrating) on silicon oxide 5, the polycrystalline silicon film 3, the WSi film 4, and silicon oxide 5 were etched by having made this into the mask, and the gate electrode 10 was formed.

[0078] Next, the insulator layer which becomes the side attachment wall of a gate electrode from the thin silicon oxide film etc. was formed by performing thermal oxidation processing to the semi-conductor substrate 1 (un-illustrating). It continued, and after carrying out the ion implantation of Lynn to the whole surface and making it it carry out thermal diffusion, the membrane formation and anisotropic etching by the CVD method were boiled, and 8 was formed more in the side attachment wall of a gate electrode for the sidewall. Subsequently, the impurity diffused layer 11 of LDD (LightlyDoped Drain) structure was formed by carrying out the ion implantation of the high-concentration arsenic, and carrying out thermal diffusion rather than above mentioned Lynn. It will be in the condition of drawing 8 (a) according to the above process.

[0079] Next, as shown in drawing 8 (b), the silicon oxide film 17 of a non dope, the BPSG (Boro Phospho Silicate Glass) film 18, and the BSG (Boro Silicate Glass) film 19 were deposited in this order with the CVD method. For the silicon oxide film 17, 100nm and the BPSG film 18 are [200nm and BSG19 film of each thickness] 50nm. Nitrogen annealing performed a reflow after deposition of each film.

[0080] Subsequently, after using the BPSG film 20 (200nm of thickness) and depositing a CVD method on this, etchback was performed using buffered hydrogen fluoride (BHF), and flattening of BPSG film 20 front face was performed (drawing 8 (c)).

[0081] Next, the photoresist 25 by which patterning was carried out was formed in the front face of the BPSG film 20, this was made into the mask, and the interlayer insulation film which consists of the silicon oxide film 17, the BPSG film 8, BSG film 19, and BPSG film 20 was etched. As etching gas, the gas containing C₄H₈, and Ar and O₂ was used. At this time, the etch residue 24 which consists of a resultant of an etched object and etching gas etc. adhered to the wall and the test pattern section of a hole (drawing 9 (a), (b)). Opening of the test pattern section was

made into 20micrometer** that there should just be a measurable area by the ERIPUSO metric method etc.

[0082] In order to remove this etch residue 24, wet processing (washing) was carried out using the mixed liquor (henceforth "APM") of ammonia hydrogen peroxide solution. Temperature of liquid was made into 35 degrees C when [in which it is based on APM] carrying out wet processing.

[0083] As mentioned above, the interlayer insulation film of this example has structure in which two or more film carried out the laminating, and each film has a different etching rate to APM. Although it is necessary to lengthen the wet processing time to some extent in order to remove an etch residue 24 thoroughly, at this time, irregularity will arise in the wall of a contact hole according to the difference of the above-mentioned etching rate. Then, it is necessary to make time amount of the wet processing by APM into the necessary minimum time amount for removing an etch residue. So, in this example, it decided on the optimal time amount of wet processing as accuracy by measuring aging of the thickness in the test pattern section of a dummy substrate.

[0084] An etch residue 24 is deposited on the test pattern section as well as a component field (drawing 9 (b)). Here, the thickness which an etch residue deposits is with the contact hole wall and silicon oxide 2 top of the test pattern section, and becomes almost the same. Therefore, when immersed in the washing tub for wet processing, clearance of an etch residue completes a wafer including these fields simultaneously in the test pattern section and a component field. In the test pattern section, clearance of an etch residue 24 advances the dissolution of the silicon oxide 2 of a substrate shortly. However, by the etch residue 24 and silicon oxide 2, the dissolution rates by APM differ notably and the dissolution progresses [the direction of an etch residue 7] quickly. Therefore, if the thickness change by APM wet processing is measured with time in the test pattern section, when clearance of an etch residue is completed and the silicon oxide 2 of a substrate is exposed, the reduction rate of thickness will change notably. At this example, the reduction rate of thickness changed as of 16 minutes. It turns out that clearance of an etch residue was completed at this event. By the above, the wet processing time was determined as 16 minutes.

[0085] (Production of a component) Production of a component was performed after determining the wet processing time as mentioned above.

[0086] The same process as the process first shown in drawing 8 -9 was carried out. The test pattern section has not prepared. Next, after performing resist exfoliation by SPM for 10 minutes, wet processing (washing) by APM was performed. The wet processing time was made into 16 minutes determined as mentioned above. The condition after washing is shown in drawing 10 .

[0087] Next, after forming in the whole surface the polycrystalline silicon film 3 with which Lynn was doped, flattening of the front face was carried out by CMP (drawing 11 (a)). Furthermore, on it, after forming the polycrystalline silicon film 3 (70nm of thickness), the WSi film 4 (150nm of thickness), and silicon oxide 5 (200nm of thickness) with a CVD method, respectively, patterning was carried out by dry etching and the bit line 15 was formed (drawing 11 (b)).

[0088] When the cross-section structure of the semiconductor device produced as mentioned above was observed with the scanning electron microscope, it was checked that the component of a good configuration without generating of a void or generating of the slit of a gate electrode side face is formed.

[0089] (Example 4) This example shows an example of the manufacture approach of the semiconductor device equipped with the capacitive element which makes ferroelectric film 114 like drawing 12 a capacity insulator layer. This example is explained with reference to drawing 13 -15.

[0090] The MOS transistor was first formed on the silicon substrate 101 like drawing 13 (a) . The silicon oxide 102 which turns into gate oxide on silicon substrate 101 front face by thermal oxidation was formed about 10nm of thickness. Subsequently, on it, contest 103 phosphorus dope polysilicon and WSi104 were formed as 100nm of thickness with the CVD method, respectively. Patterning of silicon oxide 102, contest 103 phosphorus dope polysilicon, and

WSi104 was carried out continuously, and the gate electrode was formed. Gate length could be 0.3 micrometers. Next, the impurity diffused layer 105 was formed by the ion implantation. MOSFET was completed all over the field separated with the isolation oxide film 107 as mentioned above (drawing 13 (a)).

[0091] Next, the contact plug was formed as shown in drawing 13 (b). After forming the silicon oxide (BPSG) 108 which contained boron as an interlayer insulation film first with a CVD method, flattening was carried out by the CMP method. Subsequently, after carrying out opening of the contact hole by etching, the Ti film 109 was formed as a barrier metal, and the tungsten film 110 was further formed on it. This formed the tungsten plug.

[0092] Next, the layer which constitutes ferroelectric capacity as shown in drawing 13 (c) was formed. The sputter of Ti film and the TiN film was carried out continuously first, on it, 100nm Pt film was formed and the capacity lower electrode layer 113 was formed. Next, the PZT film 114 (100nm of thickness) was formed with the CVD method. NO₂ was used as an oxidizer, using bis-dipivaloyl meta-NATO lead and titanium iso polo POKISHIDO and zirconium butoxide as material gas. Substrate temperature at the time of membrane formation was made into 400 degrees C, and total pressure of the gas in the vacuum housing at the time of membrane formation was set to 5x10⁻³Torr. IrO₂ and Ir were continuously formed by the sputtering method, and the capacity up electrode layer 115 was formed.

[0093] Next, as shown in drawing 14 (a), the photoresist 116 was formed on the capacity up electrode layer 115.

[0094] Subsequently, dry etching of the capacity lower electrode layer 113, the PZT film 114, and the capacity up electrode layer 115 was carried out by having used this photoresist 116 as the mask, and it considered as the predetermined configuration (drawing 14 (b)). At this time, the etch residue 117 which consists of a resultant of a photoresist ingredient, a ferroelectric film ingredient, and an etching gas and a ferroelectric film ingredient etc. adheres to the side attachment wall of dielectric capacity.

[0095] This etch residue 117 was washed using the mixed liquor (pH=3) of a hydrochloric acid and water as a penetrant remover. Washing was performed by dip coating and ultrasonic impression was used together. Temperature of a penetrant remover was made into 25 degrees C.

[0096] In order to remove an etch residue 117 thoroughly, it is necessary to perform washing by the above-mentioned penetrant remover to some extent long time. It is because a component property not only deteriorates, but the problem of cross contamination etc. will occur if an etch residue 117 remains. However, when washing time amount is lengthened, the ferroelectric film 114 dissolves or there is a problem of a front face deteriorating. So, in this example, washing time amount was optimized using the dummy substrate. The procedure of optimization was performed like examples 1-3. Consequently, it decided on washing time amount as 10 minutes. By performing this washing, the etch residue 117 shown in drawing 14 (b) was removed (drawing 15 (a)).

[0097] It continued, the photoresist 116 was exfoliated using resist exfoliation liquid, and PZT capacity was completed (drawing 15 (b)).

[0098] About the semiconductor device produced as mentioned above, extent of film decrease of the clearance effectiveness of an etch residue 117 and the ferroelectric film was evaluated. The cross-section observation by the scanning electron microscope performed assessment. Consequently, the etch residue is removed nearly thoroughly and having not generated film decrease of the ferroelectric film was checked.

[0099]

[Effect of the Invention] Since the wet processing time is determined the optimal by the thickness measurement using a dummy wafer according to this invention as explained above, deposits, such as dry etching residue, are thoroughly removable substantially, preventing deterioration of film decrease of the film used as a substrate and a front face. Especially, it becomes possible like a detailed contact hole pars basilaris ossis occipitalis and a detailed contact hole side face to estimate the optimal washing time amount to be accuracy by measuring change of the amount of film decreases of the test pattern section also to the etch

residue optically deposited on the difficult part of thickness measurement.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the schematic diagram of the dummy substrate used for the substrate washing approach of this invention.

[Drawing 2] It is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 3] It is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 4] It is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 5] It is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 6] It is drawing for explaining the decision approach of the wet processing time.

[Drawing 7] It is drawing for explaining the decision approach of the wet processing time.

[Drawing 8] It is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 9] It is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 10] It is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 11] It is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 12] It is the sectional view showing the semiconductor device equipped with the capacitive element obtained by the manufacture approach of the semiconductor device of this invention.

[Drawing 13] It is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 14] It is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 15] It is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 16] It is the process sectional view showing the manufacture approach of the conventional semiconductor device.

[Drawing 17] It is the process sectional view showing the manufacture approach of the conventional semiconductor device.

[Drawing 18] It is the process sectional view showing the manufacture approach of the conventional semiconductor device.

[Drawing 19] It is the process sectional view showing the manufacture approach of the conventional semiconductor device.

[Drawing 20] It is the process sectional view showing the manufacture approach of the conventional semiconductor device.

[Drawing 21] It is the process sectional view showing the manufacture approach of the

conventional semiconductor device.

[Drawing 22] It is the process sectional view showing the manufacture approach of the conventional semiconductor device.

[Drawing 23] It is the process sectional view showing the manufacture approach of the conventional semiconductor device.

[Drawing 24] It is the process sectional view showing the manufacture approach of the conventional semiconductor device.

[Drawing 25] It is the process sectional view showing the manufacture approach of the conventional semiconductor device.

[Drawing 26] It is the process sectional view showing the manufacture approach of the conventional semiconductor device.

[Drawing 27] It is the process sectional view showing the manufacture approach of the conventional semiconductor device.

[Drawing 28] It is the sectional view showing an example of the semiconductor device obtained by the manufacture approach of the semiconductor device of this invention.

[Description of Notations]

- 1 Silicon Substrate
- 2 Silicon Oxide
- 3 WSi Film
- 4 Polycrystalline Silicon Film
- 5 Silicon Oxide
- 6 It is Well P Molds.
- 7 Etch Residue
- 8 Sidewall
- 10 Gate Electrode (Word Line)
- 11 Impurity Diffused Layer
- 15 Bit Line
- 16 Field Insulator Layer
- 17 Non Dope Silicon Oxide Film
- 18 BPSG Film
- 19 BSG
- 20 BPSG Film
- 23 Photoresist
- 24 Etch Residue
- 25 Photoresist
- 50 Silicon Wafer
- 51 Component Formation Field
- 52 Scribe Line
- 101 Silicon Substrate
- 102 Silicon Oxide
- 103 Contest Phosphorus Dope Polysilicon
- 104 WSi
- 105 Impurity Diffused Layer
- 107 Isolation Oxide Film
- 108 Silicon Oxide (BPSG)
- 109 Ti Film
- 110 Tungsten Film
- 113 Capacity Lower Electrode Layer
- 114 PZT Film
- 115 Capacity Up Electrode Layer
- 116 Photoresist
- 117 Etch Residue

[Translation done.]